

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 1 月 22 日 (22.01.2004)

PCT

(10) 国際公開番号
WO 2004/008544 A1

(51) 国際特許分類: H01L 29/78, 21/336, 21/316
 (21) 国際出願番号: PCT/JP2003/009052
 (22) 国際出願日: 2003 年 7 月 16 日 (16.07.2003)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2002-206678 2002 年 7 月 16 日 (16.07.2002) JP
 (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 渡部 平司

(WATANABE, Heiji) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
 渡辺 啓仁 (WATANABE, Hirohito) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 藤枝 信次 (FUJIEDA, Shinji) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

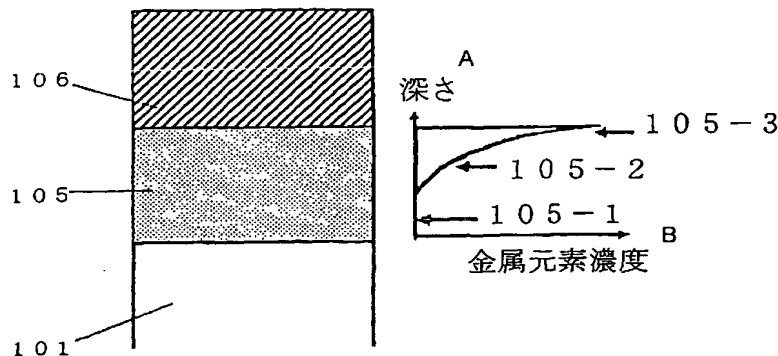
(74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒107-0062 東京都港区南青山3丁目4番12号 知恵の館 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, PRODUCTION METHOD AND PRODUCTION DEVICE THEREOF

(54) 発明の名称: 半導体装置、その製造方法およびその製造装置



A...DEPTH

B...METAL ELEMENT CONCENTRATION

(57) Abstract: A semiconductor device capable of forming a gate insulation structure having the interface between a quality silicon oxide film and silicon at the interface between a high-permittivity thin film and a silicon substrate, and promoting an improvement in interfacial electric characteristics that must be attained for the practical use of a high-permittivity insulation film; and a semiconductor production method. After a substrate silicon oxide film (103) is formed on the surface of a silicon substrate (101), metal elements are diffused into the silicon oxide film (103) by a metal layer depositing step for supplying high-permittivity-film-constituting metal elements onto the surface of the film (103) and by a heat-treating step to thereby form an insulation film structure (105) containing a silicate region as a gate insulation film. The silicate region-containing structure (105) consists of a silicon oxide film region, a silicate region and a metal-rich region to form a silicate structure having the composition change of being higher in metal composition toward the upper portion and higher in silicon composition toward the lower portion.

(57) 要約: 本発明は、高誘電率薄膜とシリコン基板との界面に良質のシリコン酸化膜とシリコンとの界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができる半導体装置および半導体製造方法を提供することを課題とする。シリコン基板101表面に下地シリコン酸化膜103を形成

[続葉有]



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

した後、下地シリコン酸化膜 103 表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程によって金属元素を下地シリコン酸化膜 103 中に拡散させることでシリケート領域を含む絶縁膜構造 105 をゲート絶縁膜として形成する。シリケート領域を含む絶縁膜構造 105 は、シリコン酸化膜領域とシリケート領域と金属リッチ領域とからなり、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造が形成される。

明細書

半導体装置、その製造方法およびその製造装置

技術分野

本発明は、高誘電率薄膜を有した半導体装置、その製造方法およびその製造装置に関するものであり、特にMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を構成するゲート絶縁膜の高性能化と低消費電力化とを図る半導体装置および半導体装置の製造方法並びにその製造装置に関する。

背景技術

シリコン酸化膜はプロセス上の安定性や優れた絶縁特性を有し、MOSFETのゲート絶縁膜材料として用いられている。近年の素子微細化と共にゲート絶縁膜の薄層化が進んでおり、ゲート長が100 nm以下のデバイスではスケーリング則の要請から、ゲート絶縁膜であるシリコン酸化膜の厚さは1.5 nm以下であることが必要となっている。しかしながら、このような極薄の絶縁膜を用いた場合、ゲートバイアス電圧をゲート電極に印加した際に、ゲート絶縁層を挿んでのトンネル電流の大きさがソース/ドレイン電流に対して無視できない値となり、デバイス設計上の許容範囲を超える。このことは、MOSFETの高性能化と低消費電力化とを図る上での大きな障害となる。従って、実効的なゲート絶縁膜の膜厚を薄くし、かつトンネル電流をデバイス設計上の許容値内に抑えるための研究開発が進められている。

その1つは、シリコン酸化膜中に窒素を添加することで純粋なシリコン酸化膜に比べて誘電率を増加させ、物理的な膜厚を薄層化することなしに実効的すなわち電気的なゲート絶縁層の膜厚を減少させる方法である。このようなシリコン酸窒化膜の作製手法として、シリコン基板表面にシリコン酸化膜を形成した後、アンモニア (NH_3) などの窒素を含有したガス中でシリコン酸化膜を高温熱処理することで、

シリコン酸化膜中に窒素を導入する方法がある。しかしガス雰囲気中での熱処理により、窒素がシリコン酸化膜とシリコン基板との界面に偏析し、界面電気特性が劣化する問題が生じる。一般に、シリコン酸化膜の場合は界面ラフネス並びに欠陥密度が少ない良質な接合を実現することが可能である。しかしながら、上述の手法でシリコン酸化膜を作製した場合には、界面での窒素の偏析により界面ラフネスの増大並びに界面欠陥密度の増加が起きる。

従って、近年、窒素プラズマにシリコン酸化膜を曝し、表面側を選択的に窒化する技術（プラズマ窒化技術）が検討されている。このプラズマを応用した技術では界面の窒素濃度を低く抑えることが可能であり、上述の窒素に起因する電気特性劣化を最小限に抑えることができる。しかしながら、純粋なシリコン窒化膜の比誘電率でもシリコン酸化膜の2倍程度しかないため、シリコン酸化膜への窒素添加による絶縁膜の高誘電率化には限界があり、比誘電率を10以上へ増加することは原理的に不可能である。

従って、さらに、素子の微細化が進んだ次世代の技術として、シリコン酸化膜や窒化膜に代えて、比誘電率が10以上の薄膜材料またはこれらの材料とシリコンとの複合材料であるシリケート薄膜をゲート絶縁膜に採用する試みがなされている。このような高誘電率材料としては Al_2O_3 、 ZrO_2 や HfO_2 、および Y_2O_3 などの希土類元素の酸化物、さらには La_2O_3 などのランタノイド系希土類元素の酸化物が候補材料として検討されている。これらの高誘電率膜を用いればゲート長を微細にしてもスケーリング則に則ったゲート絶縁膜容量を保持しつつトンネル電流を防げることが可能な厚さが存在するというのがその根拠である。

なお、ゲート絶縁膜の種類によらず、ゲート絶縁膜材料がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られる絶縁層の膜厚をシリコン酸化膜換算膜厚と呼ぶ。すなわち、絶縁膜の比誘電率とシリコン酸化膜の比誘電率とをそれぞれ ϵ_h 、 ϵ_o とし、絶縁膜の厚さを d_h とした時、シリコン酸化膜換算膜厚 d_e は、 $d_e = d_h (\epsilon_o / \epsilon_h)$ となる。この式は、 ϵ_o に比べて大きな誘電率 ϵ_h をもった材料を用いれば絶縁膜の物理的膜厚が厚くても、実効的及び電氣的には薄いシリコ

ン酸化膜と同等になりうることを示している。シリコン酸化膜の比誘電率 ϵ_0 は 3.9 程度なので、例えばその 10 倍高い比誘電率 $\epsilon_h = 39$ の高誘電体膜を用いれば、絶縁膜の物理的膜厚を 15 nm の厚さにしても、実効的及び電氣的には 1.5 nm のシリコン酸化膜換算膜厚になり、トンネル電流を激減できる。

また金属酸化物とシリケート薄膜とのそれぞれの特徴として以下のことが挙げられる。 ZrO_2 や HfO_2 などの金属酸化物を高誘電率ゲート絶縁膜として用いた場合には、高い比誘電率を実現することができる。一方、シリコンが混入したシリケート材料では比誘電率は低下するものの、熱安定性が向上すると共に、金属酸化物をシリコン基板上に直接接合した場合に比べて界面の電気特性を改善できると考えられている。

上述の様に、次世代 MOSFET の開発では、高誘電率薄膜をゲート絶縁膜材料として採用することが検討されており、シリコン基板表面への高誘電率薄膜の堆積手法としては、各種の原料ガスを用いた CVD (Chemical Vapor Deposition) や、CVD 成長を原子層単位で制御した ALD (Atomic Layer Chemical Vapor Deposition) が検討されている。

高誘電率ゲート絶縁膜開発の初期の段階では、材料探索を目的としてスパッタリングまたは反応性スパッタリングや分子線蒸着法 (Molecular Beam Deposition) などの物理蒸着法が用いられてきた。これらの成膜手法では、シリコン基板表面に直接高誘電率膜を堆積した例や、CVD あるいは ALD 成長初期の反応を制御する目的、並びに、高誘電率薄膜とシリコン基板界面の熱安定性を改善する目的で、高誘電率薄膜とシリコン基板との界面に、具体的には通常 1 nm 未満の厚さの極薄なシリコン酸化膜を挿入した例が報告されている。後者の場合、シリコン基板表面に極薄のシリコン酸化膜を形成した後に、各種の成膜方法で高誘電率薄膜の堆積を実施する。これらの成膜手法で共通する点は、シリコン基板表面に化学量論的な組成、あるいは、酸素濃度に過不足のないシリケート組成と一致した高誘電率膜を堆積することが必要であり、特に膜中の酸素欠損などの構造欠陥は、電気特性を劣化させ、リーク電流増大の原因となる。

これまで上述の薄膜堆積法で作製した様々な高誘電率材料についてその特性が検討されてきた。この中で次世代MOSFET開発に向けての最も大きな技術的課題は、高誘電率薄膜とシリコン基板との界面電気特性の改善である。つまり先述のシリコン酸化膜の場合と同様に、高誘電率薄膜界面とシリコン基板との界面欠陥密度はシリコン酸化膜とシリコン基板との界面欠陥密度に比べて1～2桁高く、界面欠陥に捕獲されたチャージによる移動度の劣化が顕著になり、MOSFETの電流駆動能力が低下し、ゲート絶縁膜を薄層化した効果が相殺されてしまう。

界面電気特性を改善する方策としては、高誘電率膜とシリコン基板との界面にシリコン酸化膜を界面酸化層として挿入した構造が検討されている。電気特性を決定する界面構造は高誘電率薄膜の作製方法と深い関係がある。例えばCVDやスパッタリング法によりシリコン基板表面に高誘電率薄膜を直接堆積する場合でも、成膜時に酸化剤を導入した場合や成膜装置内に多量の残留酸素が存在する場合には、薄膜堆積と同時にシリコン基板の酸化が進行し、シリコン酸化膜を主成分とした界面層が形成される。これらの界面層の成長は独立に制御することが困難であり、界面電気特性を最適化した構造を独立に設計することができない。

一方、意図的にシリコン酸化膜を界面酸化層として挿入する手法としては、シリコン基板表面に予め極薄のシリコン酸化膜を形成した後に高誘電率膜を堆積する方法や、高誘電率薄膜を堆積後に熱処理を施してシリコン酸化膜を成長させる方法がある。前者の方法ではシリコン酸化膜の挿入は界面熱安定性を向上する効果も有するが、シリコン酸化膜の比誘電率が低いために、シリコン基板表面に形成する極薄のシリコン酸化膜の膜厚を0.6nm以下にすることが重要であると考えられる。また、極薄のシリコン酸化膜上への高誘電率薄膜を堆積する工程で下地の極薄のシリコン酸化膜が変質する場合もあり、極薄のシリコン酸化膜とシリコン基板との界面特性が劣化する。さらに後者の方法は高誘電率膜中を酸素が容易に拡散して界面層を形成する現象を利用したものであるが、熱処理工程で高誘電率膜中の金属元素が界面層中に拡散する場合には、電気特性に優れた理想的なシリコン酸化膜／シリコン界面を形成することができない。

このように従来技術では、高誘電率を有するゲート絶縁膜の界面電気特性の向上にはシリコン酸化膜とシリコン基板との良質の界面を保持しつつ、膜質に優れた高誘電率薄膜を形成することが必要であるにもかかわらず、シリコン酸化膜からなる界面層の形成工程と高誘電率膜の堆積工程とを分離して制御することが困難であるという課題があった。

発明の開示

本発明は係る問題点を鑑みてなされたものであり、その目的とするところは、高誘電率薄膜とシリコン基板との界面にシリコン酸化膜からなる界面層を挿入し、該シリコン酸化膜界面層とシリコン基板との良質な界面を有することで、高誘電率絶縁膜の実用化において課題となっていた高誘電率絶縁膜とシリコン基板との界面の電気特性の改善を図ることができる絶縁膜構造を提供することにある。

更に、本発明は、上記絶縁膜構造をゲート絶縁膜構造として有する半導体装置を提供することにある。

更に、本発明は、上記絶縁膜構造をゲート絶縁膜構造として形成することを可能にする半導体装置の製造方法を提供することにある。

更に、本発明は、上記絶縁膜構造をゲート絶縁膜構造として形成することを可能にする半導体装置の製造装置を提供することにある。

本発明は上記課題を解決すべく、以下に掲げる構成とした。

本発明の第一の側面によれば、導電領域をシリコン領域から電氣的に絶縁する絶縁膜構造を含む半導体装置であって、前記絶縁膜構造は前記シリコン領域上且つ前記導電領域下に延在し、更に前記絶縁膜構造は少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる少なくとも1つのシリケート領域を含む半導体装置を提供する。ここで、前記シリケート領域における前記少なくとも一種類の金属元素の濃度分布は、熱拡散に由来する分布である。

前記絶縁膜構造は、前記少なくとも一種類の金属元素を含まないシリコン酸化物からなる少なくとも1つのシリコン酸化物領域と、前記少なくとも一種類の金属元

素の濃度が高い少なくとも1つの金属リッチ領域と、前記シリコン酸化物領域と前記金属リッチ領域との間に位置し且つ前記金属リッチ領域より前記少なくとも一種の金属元素の濃度が低い前記少なくとも1つのシリケート領域とを含んでもよい。

前記シリケート領域は、前記少なくとも一種の金属元素の組成が、前記金属リッチ領域に近づくにつれ増加し且つ前記シリコン酸化物領域に近づくにつれ減少し、一方、シリコンの組成が、前記金属リッチ領域に近づくにつれ減少し且つ前記シリコン酸化物領域に近づくにつれ増加する組成変調を有することが可能である。

前記金属リッチ領域は、シリコンを含まない金属酸化物からなることが可能である。

前記金属リッチ領域は、前記シリケート領域より前記少なくとも一種の金属元素の濃度分布が高い金属リッチシリケートからなることが可能である。

前記シリコン酸化物領域は前記シリコン領域上に位置し、前記シリケート領域は前記シリコン酸化物領域上に位置し、前記金属リッチ領域は前記シリケート領域上に位置することが可能である。

前記シリケート領域は、前記少なくとも一種の金属元素の組成は上方向に向かって増加し、シリコンの組成は上方向に向かって減少する組成変調を有することが可能である。

前記金属リッチ領域の上に、更に第二のシリケート領域が延在し、該第二のシリケート領域は、前記少なくとも一種の金属元素の組成は上方向に向かって減少し、シリコンの組成は上方向に向かって増加する組成変調を有することが可能である。

前記シリコン領域はシリコン基板からなり、前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなることが可能である。

前記少なくとも一種の金属元素は、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つであることが可能である。

前記少なくとも一種の熱拡散された金属元素の供給源は、前記シリコン領域上に延在する下地シリコン酸化膜の表面に、残留酸素分圧が 1×10^{-6} Torr以下

の雰囲気中で堆積された金属層からなることが可能である。

前記少なくとも一種類の熱拡散された金属元素の供給源は、前記シリコン領域上に延在する下地シリコン酸化膜の表面に、前記シリコン領域を室温より昇温して堆積された金属層からなることが可能である。

前記少なくとも一種類の熱拡散された金属元素の供給源は、膜厚が1 nm以下の金属層からなることが可能である。

前記少なくとも一種類の熱拡散された金属元素の供給源は、膜厚が0.6 nm以下の金属層からなることが可能である。

前記少なくとも一種類の金属元素がAlのみである場合、該金属元素の供給源は、前記シリコン領域上に延在する膜厚0.6 nm以上の下地シリコン酸化膜の表面に接する金属層からなることが可能である。

前記少なくとも一種類の金属元素はZr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つのみを含み、該金属元素の供給源は、前記シリコン領域上に延在する膜厚1 nm以上の下地シリコン酸化膜の表面に接する金属層からなることが可能である。

前記絶縁膜構造は、その最上部まで、前記少なくとも一種類の熱拡散された金属元素を含むシリケートで構成されていることが可能である。

前記絶縁膜構造は、シリコンを含有しない未反応金属領域を含まないことが可能である。

前記未反応金属領域は、フッ酸溶液及びアンモニア過酸化水素水溶液の少なくともいずれか1つで除去される領域からなることが可能である。

前記絶縁膜構造は、前記未反応金属領域が存在しない状態での熱処理に起因し改質された膜質を有することが可能である。

前記絶縁膜構造は、前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる第一のシリケート領域と、該第一のシリケート領域より上に位置し且つ前記少なくとも一種類の熱拡散された金属元素を含むシリコン含有絶縁物が

らなる第二のシリケート領域とを少なくとも含むことが可能である。

前記シリコン含有絶縁物は、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、及びこれらのうち少なくとも2つの積層構造体のいずれか1つからなることが可能である。

前記第一のシリケート領域は、上表面に接する金属層から熱拡散された前記少なくとも一種類の金属元素を含む下地シリコン酸化膜からなり、前記第二のシリケート領域は、下表面に接する前記金属層から熱拡散された前記少なくとも一種類の金属元素を含むシリコン含有絶縁物のキャップ層からなることが可能である。

前記キャップ層の膜厚が1nm以下であることが可能である。

前記キャップ層の膜厚が0.5nm以下であることが可能である。

前記絶縁膜構造は、膜の厚さ方向でのシリコンの組成が、前記シリコン領域近傍の最下部及び最上部で高く、中央部で低い組成変調を有することが可能である。

前記絶縁膜構造は、膜の厚さ方向での前記少なくとも一種類の金属元素の組成が、前記シリコン領域近傍の最下部及び最上部で低く、中央部で高い組成変調を有することが可能である。

前記絶縁膜構造の酸化膜換算膜厚が、前記少なくとも一種類の金属元素が拡散されるシリコン酸化膜の酸化膜換算膜厚より小さいことが好ましい。

前記少なくとも1つのシリケート領域を構成する前記シリコン酸化物が、窒素が導入されたシリコン酸窒化物であることが可能である。

前記少なくとも1つのシリケート領域における前記少なくとも一種類の金属元素の濃度分布は、大気圧以下の減圧酸素条件下での熱処理に由来する分布であることが可能である。

前記絶縁膜構造は、前記少なくとも1つのシリケート領域上に、シリコン窒化物及びシリコン酸窒化物のいずれか1つからなるキャップ領域を更に含むことが可能である。

前記キャップ領域の厚さが0.5nm以下であることが可能である。

前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなり、

素子動作電圧内でのゲートバイアス印加によりゲート容量—バイアス特性のヒステリシス幅が5 mV 以下であることが可能である。

前記絶縁膜構造は、前記少なくとも一種類の金属元素を含むシリコン酸化物からなる前記シリケート領域と、前記少なくとも一種類の金属元素を含まないシリコン酸化物からなるシリコン酸化物領域とからなり、前記絶縁膜構造の物理膜厚が3.5 nm 以下であり、且つ前記シリケート領域の物理的厚さが前記シリコン酸化物領域の物理的厚さよりも薄いことが可能である。

前記シリケート領域の物理的厚さが1.5 nm 以下であることが可能である。

前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなり、該ゲート電極は窒化膜サイドウォールを有することが可能である。

本発明の第2の側面は、導電領域をシリコン領域から電氣的に絶縁する絶縁膜構造を含む半導体装置の製造方法であって、前記シリコン領域上に下地シリコン酸化膜を形成する工程と、前記下地シリコン酸化膜上に金属層を形成する工程と、熱処理を施すことで前記下地シリコン酸化膜と前記金属層との界面でのシリケート反応を引起し、前記金属層に含まれる少なくとも一種類の金属元素を前記下地シリコン酸化膜中へ熱拡散させることで、前記下地シリコン酸化膜の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなるシリケート領域を含む絶縁膜構造を形成する工程とを少なくとも含む半導体装置の製造方法を提供することである。

前記界面シリケート反応を引起す前記熱処理を、還元性雰囲気中で行うことが可能である。

前記界面シリケート反応を引起す前記熱処理を、水素及びアンモニアのいずれかを含む雰囲気中で行うことが可能である。

前記熱拡散により、前記少なくとも一種類の金属元素が拡散されないシリコン酸化物からなる少なくとも1つのシリコン酸化物領域と、前記少なくとも一種類の金属元素が高い濃度で拡散された少なくとも1つの金属リッチ領域と、前記シリコン酸化物領域と前記金属リッチ領域との間に位置し且つ前記金属リッチ領域より前記

少なくとも一種類の金属元素が低い濃度で拡散された前記少なくとも1つのシリケート領域とを含む前記絶縁膜構造を形成することが可能である。

前記シリケート領域は、前記少なくとも一種類の金属元素の組成が、前記金属リッチ領域に近づくにつれ増加し且つ前記シリコン酸化物領域に近づくにつれ減少し、一方、シリコンの組成が、前記金属リッチ領域に近づくにつれ減少し且つ前記シリコン酸化物領域に近づくにつれ増加する組成変調を有することが可能である。

前記金属リッチ領域は、シリコンを含まない金属酸化物からなることが可能である。

前記金属リッチ領域は、前記シリケート領域より前記少なくとも一種類の金属元素の濃度分布が高い金属リッチシリケートからなることが可能である。

前記金属層を形成する工程は、処理雰囲気中の残留酸素分圧を 1×10^{-6} T 以下に設定して行われる堆積工程からなることが可能である。

前記金属層の堆積工程は、前記シリコン領域を室温より昇温して行うことが可能である。

前記熱処理工程の後にさらに窒化処理工程を行うことが可能である。

前記窒化処理工程は、アンモニア中での熱処理からなることが可能である。

前記窒化処理工程は、窒素プラズマ処理からなることが可能である。

前記少なくとも一種類の金属元素は、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つであることが可能である。

前記少なくとも一種類の金属元素がAlのみである場合、該金属元素の供給源は、前記シリコン領域上に延在する膜厚0.6nm以上の下地シリコン酸化膜の表面に接する金属層からなることが可能である。

前記少なくとも一種類の金属元素はZr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つのみを含み、該金属元素の供給源は、前記シリコン領域上に延在する膜厚1nm以上の下地シリコン酸化膜の表面に接する金属層

からなることが可能である。

前記金属層の形成工程は、金属堆積膜厚が 1 nm 以下の条件で行われる工程であることが可能である。

前記金属層の形成工程は、金属堆積膜厚が 0. 6nm 以下の条件で行われる工程であることが可能である。

前記金属層と前記下地シリコン酸化膜との界面でのシリケート反応が前記金属層の上部まで進行するよう前記熱処理工程を行うことで、前記絶縁膜構造の最上部までシリケートで構成することが可能である。

前記熱処理工程により前記金属層に未反応金属領域が残存した場合、前記熱処理工程の後、該未反応金属領域を除去する工程を更に含むことが可能である。

前記反応金属領域を除去する工程は、フッ酸溶液またはアンモニア過酸化水素水溶液を使用して行うことが可能である。

前記反応金属領域を除去する工程の後、膜質を改質するための熱処理工程を更に含むことが可能である。

前記金属層の形成工程の後且つ前記熱処理工程の前に、前記金属層上にシリコン含有絶縁膜からなるキャップ層を堆積する工程を更に含むことで、前記熱処理工程において、前記シリケート反応により、前記少なくとも一種類の金属元素を前記下地シリコン酸化膜中及び前記キャップ層中へ熱拡散させることで、前記下地シリコン酸化膜の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる第一のシリケート層を形成すると共に、前記キャップ層の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン絶縁物からなる第二のシリケート層を形成することが可能である。

前記キャップ層は、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、及びこれらのうち少なくとも 2 つの積層構造体のいずれか 1 つからなることが可能である。

前記キャップ層の膜厚が 1 nm 以下であることが可能である。

前記キャップ層の膜厚が 0. 5nm 以下であることが可能である。

前記絶縁膜構造は、膜の厚さ方向でのシリコンの組成が、前記シリコン領域近傍の最下部及び最上部で高く、中央部で低い組成変調を有することが可能である。

前記絶縁膜構造は、膜の厚さ方向での前記少なくとも一種の金属元素の組成が、前記シリコン領域近傍の最下部及び最上部で低く、中央部で高い組成変調を有することが可能である。

前記シリケート領域を含む前記絶縁膜構造の酸化膜換算膜厚が、前記下地シリコン酸化膜の酸化膜換算膜厚より小さいことが可能である。

前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜からなることが可能である。

前記熱処理工程は、大気圧以下の減圧酸素条件で行うことが可能である。

前記シリコン領域はシリコン基板からなり、前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなることが可能である。

本発明の第3の側面は、ゲート電極をシリコン基板から電氣的に絶縁するゲート絶縁膜を有する半導体装置の製造装置であって、下地シリコン酸化膜が形成された前記シリコン基板を導入する成膜チャンバーと、該成膜チャンバーに導入された前記シリコン基板の前記下地シリコン酸化膜上に金属層を堆積する金属蒸着機構と、前記成膜チャンバー内の残留酸素分圧を制御する排気ポンプとを含み、前記金属蒸着機構は、前記排気ポンプによって前記成膜チャンバー内の残留酸素分圧を 1×10^{-6} Torr 以下にして前記金属層を前記下地シリコン酸化膜上に堆積させる半導体装置の製造装置を提供することである。

前記製造装置は、前記成膜チャンバーに導入された前記シリコン基板を加熱する基板加熱機構を更に含むことが可能である。

前記金属蒸着機構は、蒸着源と基板との間隔を 100 mm 以上に設定して前記金属層を前記下地シリコン酸化膜上に堆積させることが可能である。

図面の簡単な説明

図1A乃至図1Dは、本発明に係る一実施の形態における半導体装置に含まれる

シリケート高誘電率薄膜からなる絶縁膜構造の製造工程における縦断面図である。

図 2 は、本発明に係る一実施の形態におけるゲート絶縁膜構造に含まれるシリケート高誘電率薄膜の膜厚方向における金属元素濃度分布を示す図である。

図 3 A は、図 1 C における金属層と下地シリコン酸化膜との界面反応により、金属層上部に未反応領域が残存した絶縁膜構造を示す縦断面図である。

図 3 B は、図 3 A に示す上部未反応領域を除去し、更に改質熱処理を行った後の絶縁膜構造を示す縦断面図である。

図 4 は、ゲート絶縁膜において、金属元素を含む金属シリケート領域の物理膜厚 A と、金属元素を含まないシリコン酸化物領域の物理膜厚 B と、ゲート絶縁膜の物理膜厚 A+B の関係を説明するための図である。

図 5 は、図 2 に示した本発明に係る絶縁膜構造を適用した半導体装置の一例を示す部分縦断面図である。

図 6 A 乃至図 6 D は、本発明に係る他の実施の形態における半導体装置に含まれるシリケート高誘電率薄膜からなる絶縁膜構造の製造工程における部分縦断面図である。

図 7 は、図 6 D に示す絶縁膜構造に含まれるシリケート高誘電率薄膜の膜厚方向における金属元素濃度分布を示す図である。

図 8 A 乃至図 8 D は、本発明に係る第 1 の実施例における半導体装置に含まれるランタンシリケート高誘電率薄膜の製造工程を示す縦断面図である。

図 9 は、図 8 A 乃至図 8 D に示すランタンシリケート高誘電率薄膜の製造に用いた真空蒸着装置の構成の概要を示す図である。

図 10 は、図 8 D に示すランタンシリケート高誘電率薄膜の容量－電圧特性と電流－電圧特性から求めた酸化膜換算膜厚とリーク電流の関係を示す図である。

図 11 A 乃至図 11 D は、本発明に係る第 2 の実施例の半導体装置に含まれるハフニウムシリケート高誘電率薄膜の製造工程を示す縦断面図である。

図 12 は、図 11 A 乃至図 11 D に示すハフニウムシリケート高誘電率薄膜の製造工程に用いたスパッタ成膜装置の構成の概要を示す図である。

発明の実施の形態

以下、本発明の実施の形態を添付の図面に基づいて詳細に説明する。

図1 A乃至図1 Dは、本発明に係る一実施の形態における半導体装置に含まれるシリケート高誘電率薄膜からなる絶縁膜構造の製造工程における部分縦断面図である。図2は、本発明に係る一実施の形態におけるゲート絶縁膜構造に含まれるシリケート高誘電率薄膜の膜厚方向における金属元素濃度分布を示す図である。

本実施の形態における高誘電率薄膜の製造工程は、図1 Aに示すシリコン基板101の表面に水素終端処理が施した後、図1 Bに示すように酸化窒化膜からなる下地シリコン酸化膜103を形成する。図1 Cに示すように下地シリコン酸化膜103の表面へ金属元素を供給して金属層104を形成する。図1 Cに示すように熱処理によりシリケート領域を含む絶縁膜構造105をシリコン基板101上に形成する。シリケートからなる高誘電率膜層をシリコン基板101上に直接堆積するのではなく、熱処理により下地シリコン酸化膜103と金属層104との界面反応を引起すことによってシリケート領域を含む絶縁膜構造105を高誘電率薄膜としてシリコン基板101上に形成する。

まず、図1 Bに示すようにシリコン基板101の表面に高品質な下地シリコン酸化膜103を形成する。なお、シリコン基板101は、図1 Aに示す表面終端水素102を余ったシリコン原子の結合手と結びつけて不安定な未結合手を消去する水素終端処理が施されている。下地シリコン酸化膜103の膜厚は、従来の界面挿入層の膜厚である通常0.6 nm以下に比べて厚く設定することが望ましく、最終的に必要となる絶縁膜構造105の電氣的膜厚、すなわち、酸化膜換算膜厚と同程度の下地シリコン酸化膜103を形成する。図2を参照し後に詳細に説明するが、絶縁膜構造105は、界面反応により金属元素が導入された高誘電率膜としての役割を果たすシリケート領域105-2と、金属元素が導入されないシリコン酸化物領域105-1とを含む。

図1 Bに示す下地シリコン酸化膜103の形成方法は、特に限定する必要はない

が、1つの典型例として、既知の熱酸化膜形成工程を採用することが可能である。この際、下地シリコン酸化膜103は、最終的に形成する高誘電率ゲート絶縁膜構造105の酸化膜換算膜厚と同程度の極薄であることが求められるため、RTO (Rapid Thermal Oxidation) が有効である。なお、ウェット処理によって形成したケミカルオキサイドでは、極薄の下地シリコン酸化膜103を容易に形成できるが、界面電気特性に劣るため本発明では効果を十分に発揮しない可能性がある。さらに酸化膜換算膜厚低減の観点からは、図1Bに示す工程としてシリコン基板101の表面に形成する下地シリコン酸化膜103の膜厚、すなわち、界面反応を引起す前の下地シリコン酸化膜103の膜厚を薄くすることが求められるが、後述する工程で該下地シリコン酸化膜103中に金属元素が拡散することを考慮し、かつ下地シリコン酸化膜103とシリコン基板101との界面のハイクオリティを保持するためには、下地シリコン酸化膜103の膜厚は通常1nm以上であることが望ましい。しかし、A1の様に下地シリコン酸化膜103への金属元素の拡散が顕著でない元素を選択するときは、下地シリコン酸化膜の膜厚を最低で0.6nm程度まで薄くすることが可能である。

また下地シリコン酸化膜103中に例えば数%程度の微量の窒素を導入した酸窒化膜を下地層として用いることも有効である。この場合には、界面に窒素が偏析しない様にラジカル窒化プロセスによって下地シリコン酸化膜103表面を選択的に窒化した構造が有効である。

次に、図1C及び図1Dに示すように、下地シリコン酸化膜103表面に、シリケートを構成する金属元素を供給し、金属元素供給時あるいは供給後に行う熱処理工程によって金属元素を下地シリコン酸化膜103中に拡散させて下地シリコン酸化膜103の一部である、シリコン基板101との界面近傍領域を除く領域、取分け、下地シリコン酸化膜103の上層部分に、シリコン酸化をシリケートに変換したシリケート層105-2を形成する。

下地シリコン酸化膜103表面への金属元素の供給手段としてはCVDによる化学的手法やスパッタ堆積などの物理蒸着法が考えられる。特に高誘電率膜を構成す

る金属元素の酸化速度が非常に速いことを考慮すれば、図1Bに示す金属層104の形成工程時の処理雰囲気中の残留酸素分圧を 1×10^{-6} Torr以下に低減できる超高真空スパッタリング法を採用することが望ましい。またスパッタリング法による金属堆積では、成膜時の下地シリコン酸化膜103へのダメージ低減が必要であり、スパッタ蒸着源とシリコン基板101との距離を離し、シリコン基板101に高速イオンや多量のフォトンが入射しない条件で金属供給を行うことが重要である。通常100mm以上の蒸着源と基板ウエハとの間隔が必要であり、200mm以上の間隔を確保したりリモートタイプの成膜装置が望ましい。さらに理想的な金属供給方法としては金属原料の電子ビーム加熱などによる真空蒸着方法が挙げられる。

金属元素を供給して金属層104を形成する工程では、上述の様に雰囲気ガス並びに真空度が重要である。すなわち、反応性スパッタリングや反応性蒸着等の従来の酸素雰囲気中での金属蒸着による成膜方法では、金属元素供給と共に酸化反応が進行して化学量論的な金属酸化物が形成され、成膜初期から界面反応が進行して、シリコン基板101との理想的な界面を保持することが困難であるが、本発明のように金属元素供給時の残留酸素分圧が 1×10^{-6} Torr以下の条件で従来より厚い1nm以上の下地シリコン酸化膜103上に金属元素を供給すると、微少な残留酸素の効果で金属元素の一部が酸化状態になる可能性もあるが、下地シリコン酸化膜103とシリコン基板101との界面構造は良好に保存される。

熱処理工程では、酸素欠損を多量に含んだ金属反応領域の酸化工程で界面反応が促進される。このため、熱処理工程で下地シリコン酸化膜103と金属層104との界面シリケート反応を効果的に実施することができる。例えば、残留酸素分圧を 1×10^{-6} Torr以下の条件で真空蒸着法によってZr元素を下地シリコン酸化膜103に供給した場合、下地シリコン酸化膜103の膜中のSi-O結合状態に変化は生じず、またZr元素の酸化速度が非常に速いために、上述の残留酸素分圧でも大半のZr元素が酸化してしまうが、金属反応領域中には多量の酸素欠損が存在し、原子配置が乱れた構造である。ことをX線光電子分光法等の評価手法で確認できるため、熱処理工程で界面シリケート反応を効果的に実施することができる。

これに対して残留酸素分圧が 1×10^{-6} Torr より高い条件で金属元素供給を実施した場合、金属反応領域の酸素欠損量が急激に減少し、熱処理工程での界面シリケート反応が抑制されてしまう。

なお、下地シリコン酸化膜 103 中に金属元素を導入しただけでは酸素欠損を多く含んだシリケート構造となっているが、下地シリコン酸化膜 103 中の酸素拡散に比べてシリケート等の高誘電率薄膜中の酸素拡散が速やかに進行し、さらに金属元素の酸化速度が非常に速いために、下地シリコン酸化膜 103 中への金属拡散後に追加の減圧酸化処理を施すことでシリコン基板 101 との界面状態を保持したままでシリケート層 105-2 の酸素欠損を解消することができる。

一方、 HfO_2 や ZrO_2 等の高誘電率薄膜とシリコン基板 101 との界面は熱的に安定であるが、下地シリコン酸化膜 103 表面に高誘電率膜であるシリケート層 105-2 を構成する金属元素を供給した場合には、 $\text{Si}-\text{O}$ 結合に比べて、金属原子と酸素原子との結合である $\text{Metal}-\text{O}$ 結合の方がより強固であるために、下地シリコン酸化膜 103 表面でシリケート結合 ($\text{Metal}-\text{O}-\text{Si}$) が形成され、また界面シリケート形成反応を金属元素供給時の基板昇温あるいは金属元素供給後の熱処理工程によって促進させることが可能であり、化学量論的な膜組成を有した金属酸化物を介しての界面酸化速度よりも界面反応がより促進される。

一方、金属元素供給により金属層 104 を形成する工程で、シリコン基板 101 を昇温することも効果的である。金属元素の酸化速度が非常に速いため、残留酸素分圧を低減した装置内でも金属層 104 の酸化が進行する可能性があり、金属元素供給時にシリコン基板 101 を昇温し、金属元素供給と同時に下地シリコン酸化膜 103 との反応すなわち金属元素拡散を促進することが有効である。しかしシリコン基板 101 の温度を室温とした場合でも、上述のように金属反応領域中に多量の酸素欠損が存在しているために、金属元素供給後に熱処理を行った場合でも界面反応すなわち金属元素拡散が促進される。

熱処理工程の条件としては金属元素拡散を主目的とした酸素分圧を低減した条件と、シリケート層 105-2 中の酸素欠損低減を目的とした酸素を含む雰囲気とす

る条件とが考えられるが、シリケート層 105-2 中の酸素欠損低減は微量の酸素分圧中でも進行するために、熱処理時の酸素分圧を低減して下地シリコン酸化膜 103 とシリコン基板 101 との界面の酸化が進行しない条件を実現できる。

このように下地シリコン酸化膜 103 中への金属元素拡散のプロセス条件を最適化することで金属元素が下地シリコン酸化膜 103 とシリコン基板 101 との界面に到達しない構造を実現することができ、図 1D に示すように、シリコン酸化物領域 105-1 と、シリケート領域 105-2 と、金属リッチ領域 105-3 とから構成される絶縁膜構造 105 を得ることができる。

図 2 に示すように、絶縁膜構造 105 の膜厚方向すなわち深さ方向における金属元素濃度分布は、絶縁膜構造 105 の表面で金属元素濃度が最も高く、絶縁膜構造 105 の深さが深くなるにつれ金属元素濃度は減少し、絶縁膜構造 105 の表面からある一定の深さで金属元素濃度は概ねゼロとなる。すなわち、シリコン基板 101 との界面に近い領域は金属元素が拡散されないため、金属元素濃度は実質ゼロである。つまり、絶縁膜構造 105 において、シリコン基板 101 との界面に近い領域は、金属元素を含まないシリコン酸化物領域 105-1 となる。絶縁膜構造 105 とシリコン基板 101 との界面では、図 1B に示す工程で下地シリコン酸化膜 103 をシリコン基板 101 の表面上に形成した直後と同様の良質な界面構造が保持される。一方、絶縁膜構造 105 の上部では金属組成が高く、金属拡散工程や熱処理条件により絶縁膜構造 105 の表面では、シリコンを含まない金属酸化物となるか或いは金属リッチシリケートとなる。この金属酸化物あるいは金属リッチシリケートからなる上部領域を金属リッチ領域 105-3 と呼ぶ。絶縁膜構造 105 において、シリコン酸化物領域 105-1 と金属リッチ領域 105-3 との間の領域をシリケート領域 105-2 と呼ぶ。該シリケート領域 105-2 は組成変調を有し、金属リッチ領域 105-3 に近づくにつれ金属元素濃度すなわち金属組成が増加しシリコン組成が減少し、逆にシリコン酸化物領域 105-1 に近づくにつれ金属元素濃度すなわち金属組成が減少しシリコン組成が増加する。すなわち、絶縁膜構造 105 は、シリコン基板 101 に隣接し且つ上記界面反応では金属元素が導入

されないシリコン酸化物領域 105-1 と、該シリコン酸化物領域 105-1 上に延在し且つ上記界面反応に伴う金属元素の導入による組成変調を有する組成変調シリケート領域 105-2 と、該シリケート領域 105-2 上に延在し且つ金属元素濃度すなわち金属組成が高い金属リッチシリケート領域 105-3 とからなる。なお、図 2 には、シリケート領域を含む絶縁膜構造 105 に形成されたゲート電極 106 が示されている。

シリケートを形成するため下地シリコン酸化膜 103 表面に供給する金属元素としては、Zr、Hf、Ta、Al、Ti、Nb や希土類元素である Sc、Y、またランタノイド系元素の La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu が挙げられる。これらの金属元素の全てについて本発明で提案する高誘電率薄膜作製方法を適用することが可能であるが、材料物性の違いによって下地シリコン酸化膜 103 への金属拡散速度に違いが生じる。例えば、La に代表されるランタノイド系元素の酸化物はシリコン酸化物と混じりやすい特性を有し、下地シリコン酸化膜 103 中への金属拡散が比較的容易に進む。一方、Al などは下地シリコン酸化膜 103 中への拡散があまり進行しないが原子レベルでの観点からは界面層を形成する。また Zr や Hf 等の特性はこれらの中間にある。従って上述の各材料について金属供給量と拡散条件とを最適化する必要がある。

このうち金属供給量に依存する金属堆積層膜厚は、以下の理由から半導体装置の特性を決める重要なプロセスパラメータである。金属堆積膜厚が必要以上に厚い場合は、下地シリコン酸化膜との界面ではシリケート形成が進行するものの、金属層上部では金属組成が高くなり、場合によってはシリコンを含まない厚い金属酸化物層が形成される。このシリコンを含まない金属酸化物層は比誘電率が高く、ゲート絶縁膜を通過するリーク電流の低減には効果的であるが熱安定性が劣化し、また金属酸化物中の固定電荷密度が高い場合にはデバイスの動作電圧がシフトするなどの信頼性に関与した問題が生じる。従って電気特性に優れたシリケート高誘電率ゲート絶縁膜形成においては上述の下地酸化膜厚の最適化に加え、金属堆積層膜厚も最適化することが重要である。

また、下地シリコン酸化膜と上部金属層との拡散反応は、金属層 104 の全領域が反応することが望ましい。未反応領域が金属層 104 中に残された場合には、ゲート絶縁膜の特性劣化を引き起こす。このような場合は、金属層 104 中の未反応領域を除去或いは剥離し、下地シリコン酸化膜との界面反応で形成された領域のみをゲート絶縁膜として用いることができる。

図 3 A は、図 1 C における金属層 104 と下地シリコン酸化膜 103 との界面反応により、金属層 104 上部に未反応領域 105-5 が残存した絶縁膜構造 105 を示す縦断面図である。図 3 A に示す絶縁膜構造 105 は、シリコン基板 101 に隣接し且つ上記界面反応では金属元素が導入されないシリコン酸化物領域 105-1 と、該シリコン酸化物領域 105-1 上に延在し且つ上記界面反応に伴う金属元素の導入による組成変調を有する組成変調シリケート領域 105-2 と、該シリケート領域 105-2 上に延在し且つ金属元素濃度すなわち金属組成が高い金属リッチシリケート領域 105-3 と、該金属リッチシリケート領域 105-3 上に延在する上部未反応金属領域 105-5 とを含む。

前述したように、上部未反応金属領域 105-5 はゲート絶縁膜の特性劣化を引き起こすため、該上部未反応金属領域 105-5 を除去し、その後、更に改質熱処理を行う。図 3 B は、図 3 A に示す上部未反応領域 105-5 を除去し、更に改質熱処理を行った後の絶縁膜構造 105 を示す縦断面図である。該未反応金属領域 105-5 は、例えば、エッチングにより除去し得る。ウェットエッチング溶液としては、希フッ酸溶液やアンモニア過酸化水素水溶液をベースとした溶液を用いることができる。更に、該未反応金属領域 105-5 の除去工程の後に、追加の熱処理を施すことでゲート絶縁膜の特性を改善することができる。

また、図 1 C に示す金属層 104 から下地シリコン酸化膜 103 中に金属拡散を行うための熱処理工程を、還元性雰囲気中で行うことにより、下地シリコン酸化膜 103 中への金属の拡散反応をより効果的に実施することが可能となる。これは金属拡散から酸素原子を奪う条件下で熱処理を行うことで、上述の上部反応領域に酸素欠損を生じさせ、下地シリコン酸化膜 103 中への金属拡散が促進されるためで

ある。上記還元性雰囲気としては水素雰囲気やアンモニア雰囲気が効果的である。さらに上記還元性雰囲気での処理後、酸素雰囲気中で熱処理すなわち酸化処理を施すことで界面反応によって形成した金属シリケート膜中の酸素欠損を補うことが望ましい。

また上述の種々の高誘電率ゲート絶縁膜形成後に膜中に窒素導入することも高誘電率膜の耐熱性向上には効果的である。上記窒化工程としてはアンモニア中での熱処理あるいは窒素プラズマ処理が挙げられる。

また上述の種々の高誘電率ゲート絶縁膜 105 の形成後且つゲート電極 106 の形成前に、高誘電率ゲート絶縁膜 105 とゲート電極 106 との界面の反応を抑制する目的で、膜厚 1.0nm 以下、望ましくは 0.5nm 以下のシリコン窒化膜からなるキャップ層またはシリコン酸窒化膜からなるキャップ層を形成することも有効である。

高品質な高誘電率ゲート絶縁膜構造 105 としては、シリコン基板 101 とゲート電極 106 の間に設けられたゲート絶縁膜層 105 の物理的膜厚が 3.5nm 以下であり、かつその上層部分に存在する金属含有シリケート層の物理膜厚が当初形成した図 1C に示す下地シリコン酸化膜層の膜厚よりも薄いことを特徴としたゲート絶縁膜構造が有効である。図 4 は、ゲート絶縁膜 105 において、金属元素を含む金属シリケート領域の厚さ A と、金属元素を含まないシリコン酸化物領域の厚さ B と、ゲート絶縁膜 105 の厚さ A+B の関係を説明するための図である。ここで、金属元素を含む金属シリケート領域は、図 3B における組成変調シリケート領域 105-2 及び金属リッチシリケート領域 105-3 とに相当し、金属元素を含まないシリコン酸化物領域は、図 3B におけるシリコン酸化物領域 105-1 に相当する。さらにゲート絶縁膜 105 の電気特性と信頼性向上の観点からは金属シリケート領域の厚さ A が 1.5nm 以下であることが好ましい。

図 5 は、図 2 に示した本発明に係る絶縁膜構造を適用した半導体装置の一例を示す部分縦断面図である。電界効果型トランジスタは、シリコン基板 101 と、該シリコン基板 101 中に選択的に形成されたソース領域 109-1 及びドレイン領域 109-2 と、シリコン基板 101 表面に形成された前述の絶縁構造を有するゲー

ト絶縁膜 105 と、該ゲート絶縁膜 105 上に形成されたゲート電極 106 と、該ゲート電極 106 の側壁に形成された窒化膜サイドウォール 107 と、該窒化膜サイドウォール 107 上に形成された酸化膜サイドウォール 108 とからなる。ゲートエッチング後に露出したゲート側壁部分の保護を目的として、該シリコン窒化膜サイドウォール 108 を設けることが望ましい。

さらに上記高誘電率ゲート膜の特徴としてはデバイス動作電圧内での印加バイアスで、ゲート容量ーゲート電圧曲線のヒステリシスが 5 mV 以下であることが挙げられる。

また前述の説明では、シリコン酸化膜と金属層との界面反応を利用したシリケート形成として、下地シリコン酸化膜上に金属拡散源となる金属層を形成し、この積層構造を熱処理する工程を示したが、下地シリコン酸化膜上に金属層を形成した後更に該金属層上に上部キャップ層を形成し、その後熱処理を施して、該金属層から上下両方の上部キャップ層及び下地シリコン酸化膜層に金属拡散させて組成変調を有した金属シリケートゲート絶縁膜を形成することも可能である。

図 6 A 乃至図 6 D は、本発明に係る他の実施の形態における半導体装置に含まれるシリケート高誘電率薄膜からなる絶縁膜構造の製造工程における部分縦断面図である。

図 6 A に示すように下地シリコン酸化膜 103 をシリコン基板 101 上に形成する。図 6 B に示すように下地シリコン酸化膜 103 の表面へ金属元素を供給して金属層 104 を形成する。図 6 C に示すように金属層 104 上にキャップ層 110 を形成する。図 6 D に示すように熱処理によりシリケート領域を含む絶縁膜構造 105 をシリコン基板 101 上に形成する。シリケートからなる高誘電率膜層をシリコン基板 101 上に直接堆積するのではなく、熱処理により下地シリコン酸化膜 103 と金属層 104 との界面及びキャップ層 110 と金属層 104 との界面でのシリケート反応を引起すことによって、下地シリコン酸化膜 103 とキャップ層 110 とに金属層 104 から金属を熱拡散させ、図 6 D に示すシリケート領域を含む絶縁膜構造 105 を形成する。絶縁膜構造 105' は、シリコン基板 101 上に延在し

且つ金属元素が導入されないシリコン酸化物領域 105-1 と、該シリコン酸化物領域 105-1 上に延在し且つ上記シリケート反応により金属元素が熱拡散された第一のシリケート領域 105-2 と、該第一のシリケート領域 105-2 上に延在する金属リッチ領域 105-3 と、該金属リッチ領域 105-3 上に延在し且つ上記シリケート反応により金属元素が熱拡散された第二のシリケート領域 105-4 とを含む。上記下地シリコン酸化膜 103 としてはシリコン酸化膜およびシリコン酸窒化膜が、キャップ層 110 としてはシリコン層、シリコン酸化膜層、シリコン窒化層およびシリコン酸窒化膜層の組合せの中から選択することができる。さらにキャップ層 110 の膜厚としては 1 nm 以下、望ましくは 0.5 nm の超薄膜を用いることが効果的である。尚、図 1 A 乃至 1 D を参照して前述した製造工程と重複する部分の説明は、説明が冗長になるのを避けるため省略する。

図 7 は、図 6 D に示す絶縁膜構造 105' に含まれるシリケート高誘電率薄膜の膜厚方向における金属元素濃度分布を示す図である。図 7 に示すように、絶縁膜構造 105' の膜厚方向すなわち深さ方向における金属元素濃度分布は、金属リッチ領域 105-3 で金属元素濃度が最も高く、第一及び第二のシリケート領域 105-2 及び 105-4 では、金属リッチ領域 105-3 から距離が離れるにつれ金属元素濃度は減少する。すなわち、第一のシリケート領域 105-2 では、深さが深くなるにつれ金属元素濃度は減少し、一方、第二のシリケート領域 105-4 では、深さが深くなるにつれ金属元素濃度は増加する。すなわち、シリコン基板 101 との界面に近い領域は金属元素が拡散されないため、金属元素濃度は実質ゼロである。つまり、絶縁膜構造 105' において、シリコン基板 101 との界面に近い領域は、金属元素を含まないシリコン酸化物領域 105-1 となる。

(実施例)

(第 1 の実施例)

図 8 A 乃至図 8 D は、本発明に係る第 1 の実施例における半導体装置に含まれるランタンシリケート高誘電率薄膜の製造工程を示す縦断面図である。図 9 は、図 8

A乃至図8Dに示すランタンシリケート高誘電率薄膜の製造に用いた真空蒸着装置の構成の概要を示す図である。図10は、図8Dに示すランタンシリケート高誘電率薄膜の容量－電圧特性と電流－電圧特性から求めた酸化膜換算膜厚とリーク電流の関係を示す図である。

第1の実施例では、下地層として下地シリコン酸化膜103を形成し、金属元素としてLaを用いてランタンシリケート高誘電率薄膜205を形成し、ランタンシリケート高誘電率薄膜205を用いて半導体装置の特性を検証した。

図8Aに示すようにシリコン基板101を洗浄後、フッ酸処理で表面酸化膜を除去し、シリコン基板101をRTOによって表面酸化して膜厚1.1nmの下地シリコン酸化膜103を形成した。RTOは、基板温度700℃として減圧酸素条件(500Pa)にて実施した。

次に、下地シリコン酸化膜103を形成したシリコン基板101を図9Bに示すウエハ搬送系403に載置し、ウエハ導入チャンバー402を介して成膜チャンバー401に導入し、電子ビーム蒸着機構406を用いてLa蒸着源の電子ビーム加熱(電子ビーム蒸着)によって下地シリコン酸化膜103上に金属ランタン層204を堆積した。金属元素堆積時、成膜チャンバー401の真空度を粗引き系ポンプ408と主排気ポンプ407とによる真空引きにより 2×10^{-9} Torr以下の条件に設定し、シリコン基板101の基板温度を室温並びに基板加熱機構405の加熱により500℃に設定した。

次に、金属ランタン層204が堆積されたシリコン基板101を成膜チャンバー401から取り出し、膜中の酸素欠損を補うために窒素雰囲気中にて500℃で10分間の熱処理を実施してシリコン酸化膜領域205-1とLaシリケート領域205-2とLaリッチ領域205-3とで構成されるランタンシリケート高誘電率薄膜205を形成した。熱処理工程は横型石英炉用いて実施し、処理雰囲気中の残留酸素あるいはウエハ搬送中の吸着酸素によって膜中への酸素導入並びに下地シリコン酸化膜103への金属拡散を行うことができる。

このようにして形成したランタンシリケート高誘電率薄膜205について容量－

電圧並びに電流－電圧特性を評価し、酸化膜換算膜厚（EOT）並びにリーク電流（Jg）を測定し、下地シリコン酸化膜103の特性と比較した。比較結果を図10に示す。

図10には、ランタン堆積時のシリコン基板101の温度が室温と500℃との異なる条件で行った試料の特性結果がそれぞれ示されており、全ての試料について下地シリコン酸化膜103に比べてリーク電流を低減できている。

また、ランタン堆積時のシリコン基板101の温度を500℃として実施した試料では、下地シリコン酸化膜103の膜厚よりも酸化膜換算膜厚が薄く、上述の本発明の製造方法によってランタンが下地シリコン酸化膜103中に拡散して高誘電率化が進んだことを確認し、ランタン堆積時のシリコン基板101の温度を室温として実施した試料でも酸化膜換算膜厚が最も薄い試料では、下地シリコン酸化膜103よりも酸化膜換算膜厚が薄くなっていることから、シリコン基板101の温度が室温の条件でも金属拡散による高誘電率化を確認した。このようにランタン堆積時の基板温度が高い試料について酸化膜換算膜厚が薄い傾向にあり、ランタン堆積時にシリコン基板101を昇温する効果を確認した。

また、界面準位密度を測定した結果、ランタンシリケートをシリコン基板101上に直接堆積した場合と比較して、本発明の製造方法を適用することで欠陥密度が $1/5 \sim 1/10$ に低減されることが確認できた。さらに、これらのランタンシリケート高誘電率薄膜205をゲート絶縁膜として、ポリシリコンゲート電極を用いてMOSFETを試作した結果、ランタンシリケートをシリコン基板101上に直接堆積した場合に比べて移動度が50%以上増加した。

（第2の実施例）

図11A乃至図11Dは、本発明に係る第2の実施例の半導体装置に含まれるハフニウムシリケート高誘電率薄膜の製造工程を示す縦断面図である。図12は、図11A乃至図11Dに示すハフニウムシリケート高誘電率薄膜の製造工程に用いたスパッタ成膜装置の構成の概要を示す図である。

第2の実施例では、下地層としてシリコン酸窒化膜203を形成し、金属元素としてHfを用いてハフニウムシリケート高誘電率薄膜305を形成し、ハフニウムシリケート高誘電率薄膜305を用いて半導体装置の特性を検証した。第2の実施例において下地酸化膜としてシリコン酸窒化膜203を用いた理由は、高誘電率材料への窒素添加による耐熱性改善のためである。

シリコン基板101を洗浄後、フッ酸処理で表面酸化膜を除去し、シリコン基板101をRTOによって表面酸化して膜厚1.5nmの下地シリコン酸化膜103を形成した。RTOは、基板温度700℃として減圧酸素条件(500Pa)にて実施した。

次に、下地シリコン酸化膜103表面の窒化処理を、プラズマ源としてECR(Electron Cyclotron Resonance)ラジカル源を搭載した真空装置によって実施してシリコン酸窒化膜203を形成した。窒素ラジカルの照射条件は基板温度500℃、窒素圧力0.3Paとして投入電力100Wとして窒化処理を行った。

次に、シリコン酸窒化膜203を形成したシリコン基板101をウエハ搬送系703に載置し、ウエハ導入チャンバー702を介して超高真空対応のリモートタイプスパッタ装置である成膜チャンバー701に導入し、スパッタ蒸着機構706を用いてHfターゲットを蒸着源としてアルゴンをスパッタガスとして金属層堆積を実施し、シリコン酸窒化膜203上にハフニウム堆積層304を堆積した。金属元素堆積時、成膜チャンバー701の真空度を粗引き系ポンプ708と主排気ポンプ707とによる真空引きにより 5×10^{-9} Torrの条件に設定し、シリコン基板101の基板温度を室温に設定し、ダメージ低減のためにスパッタ源とウエハ間隔は300mmに設定し、アルゴンガス分圧は0.05Paに設定し、投入電力を500Wに設定した。

次に、ハフニウム堆積層304堆積後、成膜チャンバー701内で 1×10^{-6} Torr以下の真空度で600℃にて10分間の連続熱処理を実施した後に、シリコン基板101を成膜チャンバー701から取り出し、膜中の酸素欠損を補うために窒素雰囲気中にて500℃で10分間の熱処理を実施し、シリコン酸窒化膜領域

305-1とHfシリケート領域305-2とHfリッチ領域305-3とで構成されるハフニウムシリケート高誘電率薄膜305を形成した。熱処理工程は横型石英炉用いて実施し、処理雰囲気中の残留酸素あるいはウエハ搬送中の吸着酸素によって膜中への酸素導入並びに下地シリコン酸化膜103への金属拡散を行うことができる。

本試料について容量—電圧並びに電流—電圧特性評価の結果、酸化膜換算膜厚は1.45nmでありリーク電流はシリコン酸化膜に比べて3～4桁低減できることを確認した。

また従来技術に従って0.5nm厚の下地シリコン酸化膜103上に反応性スパッタリング法によって HfO_2 を直接堆積した場合に比べて、本発明の製造方法を適用することで、界面欠陥密度を1/5程度を低減できることが確認された。さらに熱処理による結晶化温度を評価した結果、窒素を導入していないハフニウムシリケート高誘電率薄膜305に対して耐熱性が50℃～100℃改善した。一方、ハフニウムシリケート高誘電率薄膜305をゲート絶縁膜として、ポリシリコンゲート電極を用いてMOSFETを試作した結果、ハフニウムシリケートをシリコン基板上に直接堆積した場合に比べて移動度が40%以上増加した。

本実施例2において金属ハフニウムの堆積膜厚を0.4～0.6nmおよび1.0nmとしてMOSFETを作製した場合、リーク電流値はシリコン酸化膜に比べてそれぞれ約3桁及び約4桁低減できることを確認した。

また金属ハフニウムの堆積膜厚が異なるこれらのデバイスについて、絶縁膜とシリコン基板界面に存在する電氣的欠陥（界面欠陥密度： D_{it} ）ならびにデバイス動作にともなう閾値電圧シフトから見積った素子寿命（絶縁膜信頼性）を評価した。その結果、金属Hf膜厚を0.4～0.6nmとして作製したデバイスでは堆積膜厚1.0nmとして作製したものと比較して界面欠陥密度を1/2未満に低減でき、また素子寿命（信頼性）を10倍以上改善できることを確認した。さらにトランジスタの動作電圧内での容量—ゲート電特性（C—V特性）のヒステリシスが5mV以下とすることを確認した。従って、金属層の膜厚は、リーク電流低減及び素子寿命等のデバ

イス信頼性の観点から望ましくは1 nm以下、より望ましくは0.6 nm以下であることを確認した。膜厚下限は有意の厚さのシリケート層が形成される限りにおいて特に限定されないが、例えば0.4 nm以上としたときに効果が顕著である。デバイス設計の際にはこのような膜厚範囲から任意に選択することが出来るが、例えばリーク電流低減を優先する場合には金属堆積層厚を1 nmに近い値としたシリケート成膜が効果的であり、一方デバイス信頼性を優先する場合には金属堆積層厚を0.4~0.6 nmとすることが有効である。

またゲート絶縁膜のリーク電流低減効果とトランジスタの移動度向上ならびに信頼性確保を実現するゲート絶縁膜の典型的な構造は、総物理膜厚が3.5 nm以下であり、かつ金属元素を含まない下地シリコン酸化領域の物理膜厚(B)が金属元素を含有したシリケート領域の物理膜厚(A)よりも厚い場合、すなわち $A < B$ の関係を満たす場合により優れた特性が得られることを確認した。典型例としては未反応の下地酸化膜の物理膜厚が1.4 nmであり、金属含有上部シリケート層の物理膜厚が1.2 nmであり、電気膜厚が1.75 nmであった。

さらに上記のトランジスタ構造の作製では、ゲート側壁にシリコン窒化膜からなるサイドウォールを形成した場合にゲート長が短い微細トランジスタで良好なトランジスタ特性を実現できた。

また上記の実施例では金属拡散源としてHf金属を用いたが、金属Hf堆積時にスパッタリングガスとして窒素を導入してHfN(ハフニウム窒化物)を堆積することも有効である。上記と同様にして1.5 nm厚の下地シリコン酸化膜上にHfNを堆積した後に同様の熱処理を施すことで膜中に窒素を含有したHfシリケート膜(HfSiON)を作製することができた。熱処理中に膜中窒素の一部が熱脱離してHfシリケート膜には約4%程度の窒素しか残留しないが、本成膜方法で金属シリケート中に窒素を導入することで絶縁膜の結晶化温度を約50℃上昇させることができ、窒素導入による熱耐性の向上を確認した。また金属窒化物の場合にもゲート絶縁膜の信頼性確保の観点からは金属窒化膜の膜厚を1 nm以下、好ましくは0.6 nm以下とした場合にゲート絶縁膜の容量-ゲート電圧特性のヒステリシス

を5 mVとすることができた。

以上説明したように、本実施の形態によれば、シリコン基板101表面に下地シリコン酸化膜103を形成した後、下地シリコン酸化膜103表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程とによって金属元素を下地シリコン酸化膜103中に拡散させることでシリケート領域を含む絶縁膜構造105をゲート絶縁膜として形成することにより、高誘電率薄膜とシリコン基板との界面に良質の下地シリコン酸化膜とシリコン基板との界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができるという効果を奏する。

さらに、本実施の形態によれば、下地シリコン酸化膜103中への金属拡散の条件を独立に制御することで、下地シリコン酸化膜103の表面側のみに金属元素拡散させ、シリコン酸化膜とシリコン基板との界面には金属元素が到達しない条件の最適化が容易となり、優れた界面電気特性を有した高誘電率ゲート絶縁膜の作製が可能となるという効果を奏する。

以上の実施の形態では金属膜厚を薄くして、該金属膜を完全に拡散及びシリケート化させてシリケート成膜を行ったが、比較的厚い膜厚の金属膜を用いた場合には、熱処理後に下地酸化膜との未反応金属領域が残存する可能性がある。この場合、該未反応金属領域を除去して、シリケート化した領域のみをゲート絶縁膜として用いることも可能である。

また、上記第1及び第2の実施例では下地酸化膜と上部に金属含有層との2層構造を利用した場合を示したが、前記2層構造の上にさらにシリコンあるいはシリコン酸化膜を主成分としたキャップ層を形成した後に熱処理を施すことで最上層にシリコンリッチな領域を有した構造を形成することができる。

この場合、実施例2同様のRTOとスパッタ成膜によってシリコン酸化膜と金属Hfからなる2層構造を形成した後に、Siターゲットを用いたスパッタ成膜によって膜厚0.5 nmのシリコンキャップ層を形成した。その後、酸素雰囲気中500℃での2分間の処理に続いて、窒素中900℃の熱処理を施した。これらの熱処

理によって表面シリコンキャップ層の酸化による表面シリコン酸化膜層の形成と金属Hf層から上下シリコン酸化膜層への金属拡散が同時に進行してシリケート層が形成される。

このシリケート層の厚さ方向の組成分布は、シリコン組成は膜の上部およびシリコン基板と接する最下部で高く、中央部（当初金属層が形成されていた部分）では低くなっている。これとは逆に金属（Hf）組成は、膜中央部近傍で極大値を示し、シリコン界面、および最上部に近づくに従ってHf組成が低下する。つまり、組成分布が設けられた構造を実現することができた。また上記に成膜方法の応用例としては表面キャップ層としてシリコン酸化膜、シリコン酸窒化膜やシリコン窒化膜を、さらに金属拡散源としては金属シリケート層、金属アルミネート層、金属酸化物層ならびに金属窒化物層を用いることも有効であった。

本発明の半導体装置、その製造方法およびその製造装置は、シリコン基板表面にシリコン酸化膜を形成した後、シリコン酸化膜表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程とによって金属元素をシリコン酸化膜中に拡散させることでシリケート層をゲート絶縁膜として形成することにより、高誘電率薄膜とシリコン基板との界面に良質のシリコン酸化膜とシリコン基板との界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができるという効果を奏する。

さらに、本発明の半導体装置、その製造方法およびその製造装置は、シリコン酸化膜中への金属拡散の条件を独立に制御することで、シリコン酸化膜の表面側のみに金属元素拡散させ、シリコン酸化膜とシリコン基板との界面には金属元素が到達しない条件の最適化が容易となり、優れた界面電気特性を有した高誘電率ゲート絶縁膜の作製が可能となるという効果を奏する。

なお、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。なお、各図において、同一構成要素には同一符号を付している。

産業上の利用の可能性

更に本発明の適用は、導電領域をシリコン領域から電氣的に絶縁する絶縁膜構造を含む半導体装置であれば、上記実施例で説明した特定の装置に限定されない。また、絶縁膜構造は、ゲート絶縁膜に限定されず、半導体装置において、導電領域をシリコン領域から電氣的に絶縁するためのものを含む。

幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

請求の範囲

1. 導電領域をシリコン領域から電氣的に絶縁する絶縁膜構造を含む半導体装置であって、前記絶縁膜構造は前記シリコン領域上且つ前記導電領域下に延在し、更に前記絶縁膜構造は少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる少なくとも1つのシリケート領域を含む半導体装置。
2. 前記シリケート領域における前記少なくとも一種類の金属元素の濃度分布は、熱拡散に由来する分布である請求項1記載の半導体装置。
3. 前記絶縁膜構造は、前記少なくとも一種類の金属元素を含まないシリコン酸化物からなる少なくとも1つのシリコン酸化物領域と、前記少なくとも一種類の金属元素の濃度が高い少なくとも1つの金属リッチ領域と、前記シリコン酸化物領域と前記金属リッチ領域との間に位置し且つ前記金属リッチ領域より前記少なくとも一種類の金属元素の濃度が低い前記少なくとも1つのシリケート領域とを含む請求項1記載の半導体装置。
4. 前記シリケート領域は、前記少なくとも一種類の金属元素の組成が、前記金属リッチ領域に近づくにつれ増加し且つ前記シリコン酸化物領域に近づくにつれ減少し、一方、シリコンの組成が、前記金属リッチ領域に近づくにつれ減少し且つ前記シリコン酸化物領域に近づくにつれ増加する組成変調を有する請求項4記載の半導体装置。
5. 前記金属リッチ領域は、シリコンを含まない金属酸化物からなる請求項3記載の半導体装置。

6. 前記金属リッチ領域は、前記シリケート領域より前記少なくとも一種類の金属元素の濃度分布が高い金属リッチシリケートからなる請求項3記載の半導体装置。

7. 前記シリコン酸化物領域は前記シリコン領域上に位置し、前記シリケート領域は前記シリコン酸化物領域上に位置し、前記金属リッチ領域は前記シリケート領域上に位置する請求項3記載の半導体装置。

8. 前記シリケート領域は、前記少なくとも一種類の金属元素の組成は上方向に向かって増加し、シリコンの組成は上方向に向かって減少する組成変調を有する請求項7記載の半導体装置。

9. 前記金属リッチ領域の上に、更に第二のシリケート領域が延在し、該第二のシリケート領域は、前記少なくとも一種類の金属元素の組成は上方向に向かって減少し、シリコンの組成は上方向に向かって増加する組成変調を有する請求項8記載の半導体装置。

10. 前記シリコン領域はシリコン基板からなり、前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなる請求項1記載の半導体装置。

11. 前記少なくとも一種類の金属元素は、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つである請求項1記載の半導体装置。

12. 前記少なくとも一種類の熱拡散された金属元素の供給源は、前記シリコン領域上に延在する下地シリコン酸化膜の表面に、残留酸素分圧が 1×10^{-6} Torr

r以下の雰囲気中で堆積された金属層からなる請求項1記載の半導体装置。

13. 前記少なくとも一種類の熱拡散された金属元素の供給源は、前記シリコン領域上に延在する下地シリコン酸化膜の表面に、前記シリコン領域を室温より昇温して堆積された金属層からなる請求項1記載の半導体装置。

14. 前記少なくとも一種類の熱拡散された金属元素の供給源は、膜厚が1 nm以下の金属層からなる請求項1記載の半導体装置。

15. 前記少なくとも一種類の熱拡散された金属元素の供給源は、膜厚が0.6 nm以下の金属層からなる請求項1記載の半導体装置。

16. 前記少なくとも一種類の金属元素はAlのみであり、該金属元素の供給源は、前記シリコン領域上に延在する膜厚0.6 nm以上の下地シリコン酸化膜の表面に接する金属層からなる請求項1記載の半導体装置。

17. 前記少なくとも一種類の金属元素はZr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つのみを含み、該金属元素の供給源は、前記シリコン領域上に延在する膜厚1 nm以上の下地シリコン酸化膜の表面に接する金属層からなる請求項1記載の半導体装置。

18. 前記絶縁膜構造は、その最上部まで、前記少なくとも一種類の熱拡散された金属元素を含むシリケートで構成されている請求項1記載の半導体装置。

19. 前記絶縁膜構造は、シリコンを含有しない未反応金属領域を含まない請求項1記載の半導体装置。

20. 前記未反応金属領域は、フッ酸溶液及びアンモニア過酸化水素水溶液の少なくともいずれか1つで除去される領域からなる請求項19記載の半導体装置。

21. 前記絶縁膜構造は、前記未反応金属領域が存在しない状態での熱処理に起因し改質された膜質を有する請求項19記載の半導体装置。

22. 前記絶縁膜構造は、前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる第一のシリケート領域と、該第一のシリケート領域より上に位置し且つ前記少なくとも一種類の熱拡散された金属元素を含むシリコン含有絶縁物からなる第二のシリケート領域とを少なくとも含む請求項1記載の半導体装置。

23. 前記シリコン含有絶縁物は、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、及びこれらのうち少なくとも2つの積層構造体のいずれか1つからなる請求項22記載の半導体装置。

24. 前記第一のシリケート領域は、上表面に接する金属層から熱拡散された前記少なくとも一種類の金属元素を含む下地シリコン酸化膜からなり、前記第二のシリケート領域は、下表面に接する前記金属層から熱拡散された前記少なくとも一種類の金属元素を含むシリコン含有絶縁物のキャップ層からなる請求項22記載の半導体装置。

25. 前記キャップ層の膜厚が1nm以下である請求項24記載の半導体装置。

26. 前記キャップ層の膜厚が0.5nm以下である請求項23記載の半導体装置。

27. 前記絶縁膜構造は、膜の厚さ方向でのシリコンの組成が、前記シリコン領

域近傍の最下部及び最上部で高く、中央部で低い組成変調を有する請求項 2 2 記載の半導体装置。

2 8. 前記絶縁膜構造は、膜の厚さ方向での前記少なくとも一種類の金属元素の組成が、前記シリコン領域近傍の最下部及び最上部で低く、中央部で高い組成変調を有する請求項 2 2 記載の半導体装置。

2 9. 前記絶縁膜構造の酸化膜換算膜厚が、前記少なくとも一種類の金属元素が拡散されるシリコン酸化膜の酸化膜換算膜厚より小さい請求項 1 記載の半導体装置。

3 0. 前記少なくとも 1 つのシリケート領域を構成する前記シリコン酸化物が、窒素が導入されたシリコン酸窒化物である請求項 1 記載の半導体装置。

3 1. 前記少なくとも 1 つのシリケート領域における前記少なくとも一種類の金属元素の濃度分布は、大気圧以下の減圧酸素条件下での熱処理に由来する分布である請求項 1 記載の半導体装置。

3 2. 前記絶縁膜構造は、前記少なくとも 1 つのシリケート領域上に、シリコン窒化物及びシリコン酸窒化物のいずれか 1 つからなるキャップ領域を更に含む請求項 1 記載の半導体装置。

3 3. 前記キャップ領域の厚さが 0.5nm 以下である請求項 3 2 記載の半導体装置。

3 4. 前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなり、素子動作電圧内でのゲートバイアス印加によりゲート容量—バイアス特性のヒステリシス幅が 5 mV 以下である請求項 1 記載の半導体装置。

35. 前記絶縁膜構造は、前記少なくとも一種類の金属元素を含むシリコン酸化物からなる前記シリケート領域と、前記少なくとも一種類の金属元素を含まないシリコン酸化物からなるシリコン酸化物領域とからなり、前記絶縁膜構造の物理膜厚が3.5 nm以下であり、且つ前記シリケート領域の物理的厚さが前記シリコン酸化物領域の物理的厚さよりも薄い請求項1記載の半導体装置。

36. 前記シリケート領域の物理的厚さが1.5 nm以下である請求項35記載の半導体装置。

37. 前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなり、該ゲート電極は窒化膜サイドウォールを有する請求項35記載の半導体装置。

38. 導電領域をシリコン領域から電氣的に絶縁する絶縁膜構造を含む半導体装置の製造方法であって、

前記シリコン領域上に下地シリコン酸化膜を形成する工程と、

前記下地シリコン酸化膜上に金属層を形成する工程と、

熱処理を施すことで前記下地シリコン酸化膜と前記金属層との界面でのシリケート反応を引起し、前記金属層に含まれる少なくとも一種類の金属元素を前記下地シリコン酸化膜中へ熱拡散させることで、前記下地シリコン酸化膜の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなるシリケート領域を含む絶縁膜構造を形成する工程とを少なくとも含む半導体装置の製造方法。

39. 前記界面シリケート反応を引起す前記熱処理を、還元性雰囲気中で行う請求項38記載の半導体装置の製造方法。

40. 前記界面シリケート反応を引起す前記熱処理を、水素及びアンモニアの

いずれかを含む雰囲気中で行う請求項 38 記載の半導体装置の製造方法。

4 1. 前記熱拡散により、前記少なくとも一種類の金属元素が拡散されないシリコン酸化物からなる少なくとも 1 つのシリコン酸化物領域と、前記少なくとも一種類の金属元素が高い濃度で拡散された少なくとも 1 つの金属リッチ領域と、前記シリコン酸化物領域と前記金属リッチ領域との間に位置し且つ前記金属リッチ領域より前記少なくとも一種類の金属元素が低い濃度で拡散された前記少なくとも 1 つのシリケート領域とを含む前記絶縁膜構造を形成する請求項 38 記載の半導体装置の製造方法。

4 2. 前記シリケート領域は、前記少なくとも一種類の金属元素の組成が、前記金属リッチ領域に近づくにつれ増加し且つ前記シリコン酸化物領域に近づくにつれ減少し、一方、シリコンの組成が、前記金属リッチ領域に近づくにつれ減少し且つ前記シリコン酸化物領域に近づくにつれ増加する組成変調を有する請求項 4 1 記載の半導体装置の製造方法。

4 3. 前記金属リッチ領域は、シリコンを含まない金属酸化物からなる請求項 4 1 記載の半導体装置の製造方法。

4 4. 前記金属リッチ領域は、前記シリケート領域より前記少なくとも一種類の金属元素の濃度分布が高い金属リッチシリケートからなる請求項 4 1 記載の半導体装置の製造方法。

4 5. 前記金属層を形成する工程は、処理雰囲気中の残留酸素分圧を 1×10^{-6} T 以下に設定して行われる堆積工程からなる請求項 38 記載の半導体装置の製造方法。

46. 前記金属層の堆積工程は、前記シリコン領域を室温より昇温して行う請求項38記載の半導体装置の製造方法。

47. 前記熱処理工程の後にさらに窒化処理工程を行う請求項38記載の半導体装置の製造方法。

48. 前記窒化処理工程は、アンモニア中での熱処理からなる請求項47記載の半導体装置の製造方法。

49. 前記窒化処理工程は、窒素プラズマ処理からなる請求項47記載の半導体装置の製造方法。

50. 前記少なくとも一種類の金属元素は、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つである請求項38記載の半導体装置の製造方法。

51. 前記少なくとも一種類の金属元素にAlのみであり、前記下地シリコン酸化膜は0.6nm以上の膜厚で形成される請求項38記載の半導体装置の製造方法。

52. 前記少なくとも一種類の金属元素は、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luの少なくともいずれか1つを含み、前記下地シリコン酸化膜は1nm以上の膜厚で形成される請求項38記載の半導体装置の製造方法。

53. 前記金属層の形成工程は、金属堆積膜厚が1nm以下の条件で行われる工

程である請求項 3 8 記載の半導体装置の製造方法。

5 4. 前記金属層の形成工程は、金属堆積膜厚が 0.6nm 以下の条件で行われる工程である請求項 3 8 記載の半導体装置の製造方法。

5 5. 前記金属層と前記下地シリコン酸化膜との界面でのシリケート反応が前記金属層の上部まで進行するよう前記熱処理工程を行うことで、前記絶縁膜構造の最上部までシリケートで構成する請求項 3 8 記載の半導体装置の製造方法。

5 6. 前記熱処理工程により前記金属層に未反応金属領域が残存した場合、前記熱処理工程の後、該未反応金属領域を除去する工程を更に含む請求項 3 8 記載の半導体装置の製造方法。

5 7. 前記反応金属領域を除去する工程は、フッ酸溶液またはアンモニア過酸化水素水溶液を使用して行う請求項 5 6 記載の半導体装置の製造方法。

5 8. 前記反応金属領域を除去する工程の後、膜質を改質するための熱処理工程を更に含む請求項 5 6 記載の半導体装置の製造方法。

5 9. 前記金属層の形成工程の後且つ前記熱処理工程の前に、前記金属層上にシリコン含有絶縁膜からなるキャップ層を堆積する工程を更に含むことで、前記熱処理工程において、前記シリケート反応により、前記少なくとも一種類の金属元素を前記下地シリコン酸化膜中及び前記キャップ層中へ熱拡散させることで、前記下地シリコン酸化膜の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン酸化物からなる第一のシリケート層を形成すると共に、前記キャップ層の少なくとも一部の領域に前記少なくとも一種類の熱拡散された金属元素を含むシリコン絶縁物からなる第二のシリケート層を形成する請求項 3 8 記載の

半導体装置の製造方法。

60. 前記キャップ層は、シリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜、及びこれらのうち少なくとも2つの積層構造体のいずれか1つからなる請求項59記載の半導体装置の製造方法。

61. 前記キャップ層の膜厚が1 nm 以下である請求項59記載の半導体装置の製造方法。

62. 前記キャップ層の膜厚が0.5nm 以下である請求項59記載の半導体装置の製造方法。

63. 前記絶縁膜構造は、膜の厚さ方向でのシリコンの組成が、前記シリコン領域近傍の最下部及び最上部で高く、中央部で低い組成変調を有する請求項38記載の半導体装置の製造方法。

64. 前記絶縁膜構造は、膜の厚さ方向での前記少なくとも一種類の金属元素の組成が、前記シリコン領域近傍の最下部及び最上部で低く、中央部で高い組成変調を有する請求項38記載の半導体装置の製造方法。

65. 前記絶縁膜構造の酸化膜換算膜厚が、前記下地シリコン酸化膜の酸化膜換算膜厚より小さい請求項38記載の半導体装置の製造方法。

66. 前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜からなる請求項38記載の半導体装置の製造方法。

67. 前記熱処理工程は、大気圧以下の減圧酸素条件で行う請求項38記載の

半導体装置の製造方法。

68. 前記シリコン領域はシリコン基板からなり、前記導電領域はゲート電極からなり、前記絶縁膜構造はゲート絶縁膜からなる請求項38記載の半導体装置の製造方法。

69. ゲート電極をシリコン基板から電氣的に絶縁するゲート絶縁膜を有する半導体装置の製造装置であって、

下地シリコン酸化膜が形成された前記シリコン基板を導入する成膜チャンバーと、

該成膜チャンバーに導入された前記シリコン基板の前記下地シリコン酸化膜上に金属層を堆積する金属蒸着機構と、

前記成膜チャンバー内の残留酸素分圧を制御する排気ポンプとを含み、

前記金属蒸着機構は、前記排気ポンプによって前記成膜チャンバー内の残留酸素分圧を 1×10^{-6} Torr 以下にして前記金属層を前記下地シリコン酸化膜上に堆積させる半導体装置の製造装置。

70. 前記成膜チャンバーに導入された前記シリコン基板を加熱する基板加熱機構を更に含む請求項69記載の半導体装置の製造装置。

71. 前記金属蒸着機構は、蒸着源と基板との間隔を100mm以上に設定して前記金属層を前記下地シリコン酸化膜上に堆積させる請求項69記載の半導体装置の製造装置。

図 1 A

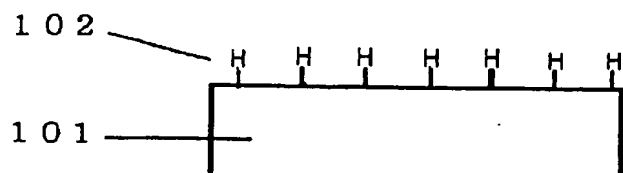


図 1 B



図 1 C

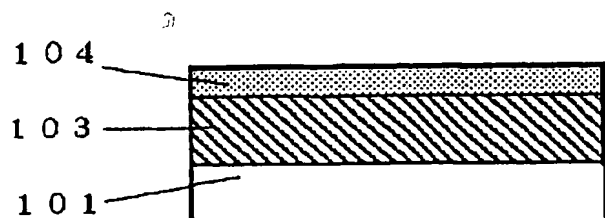


図 1 D

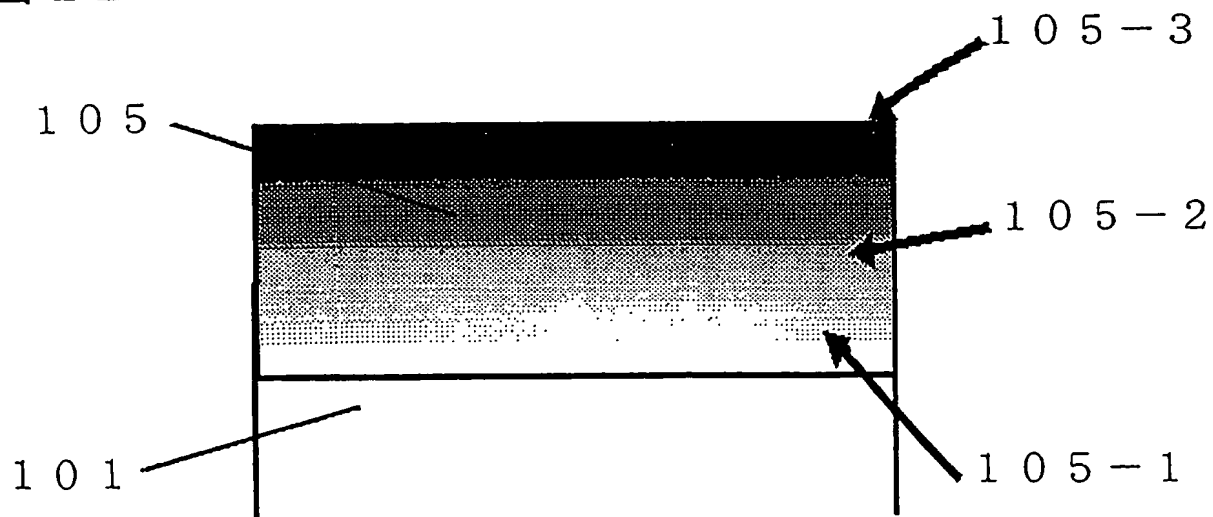


図 2

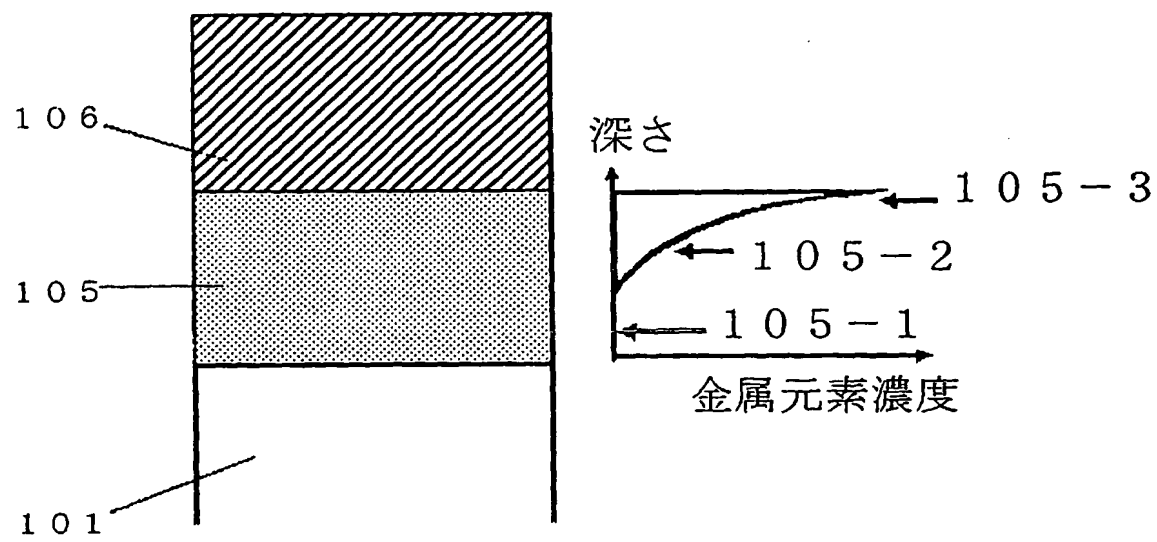


図 3 A

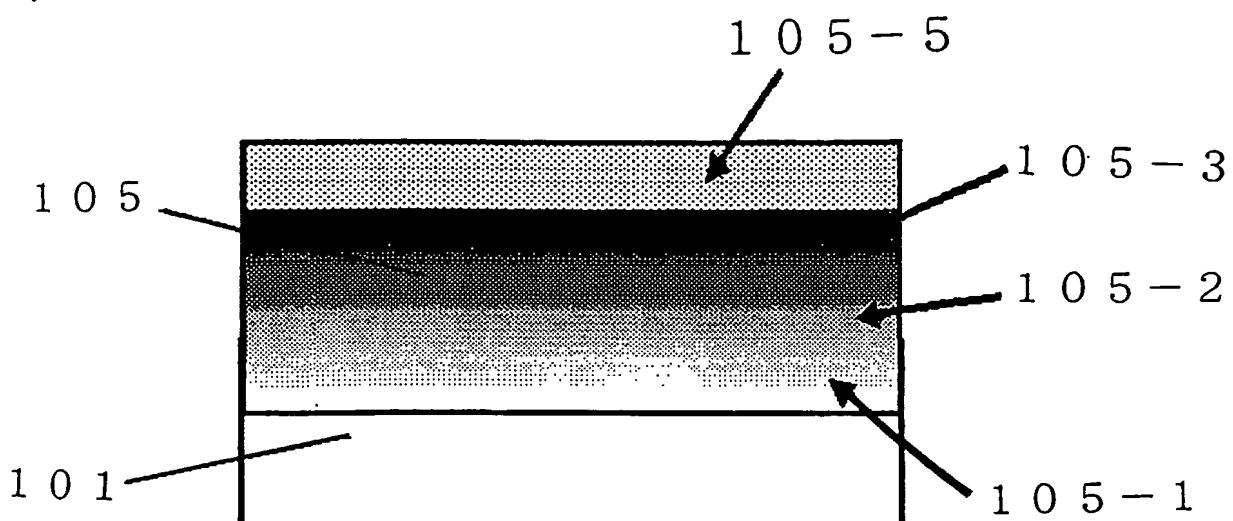


図 3 B

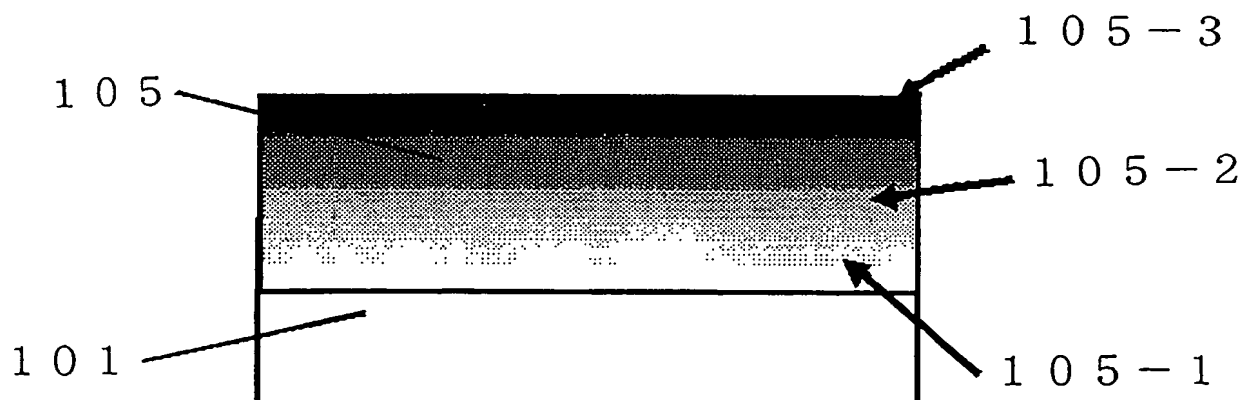


図 4

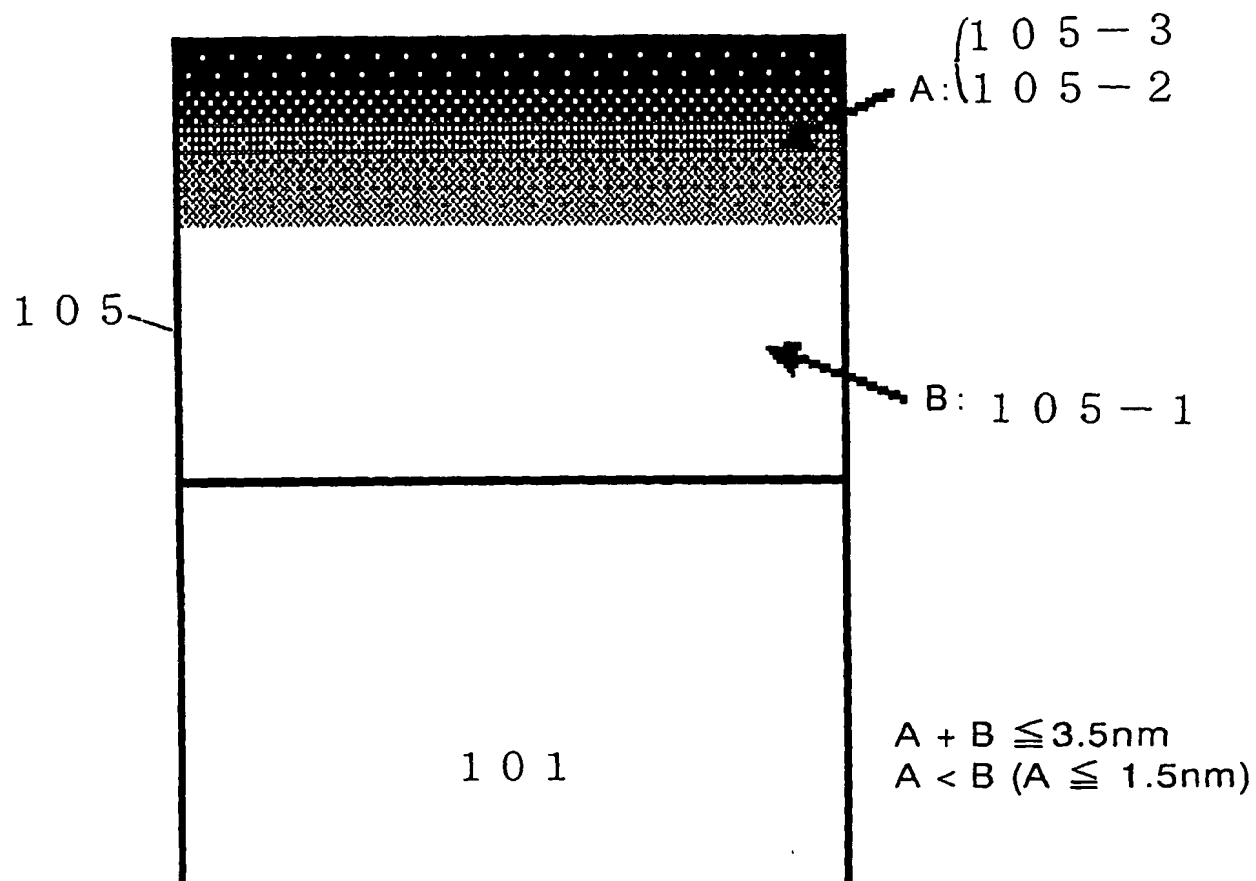


図 5

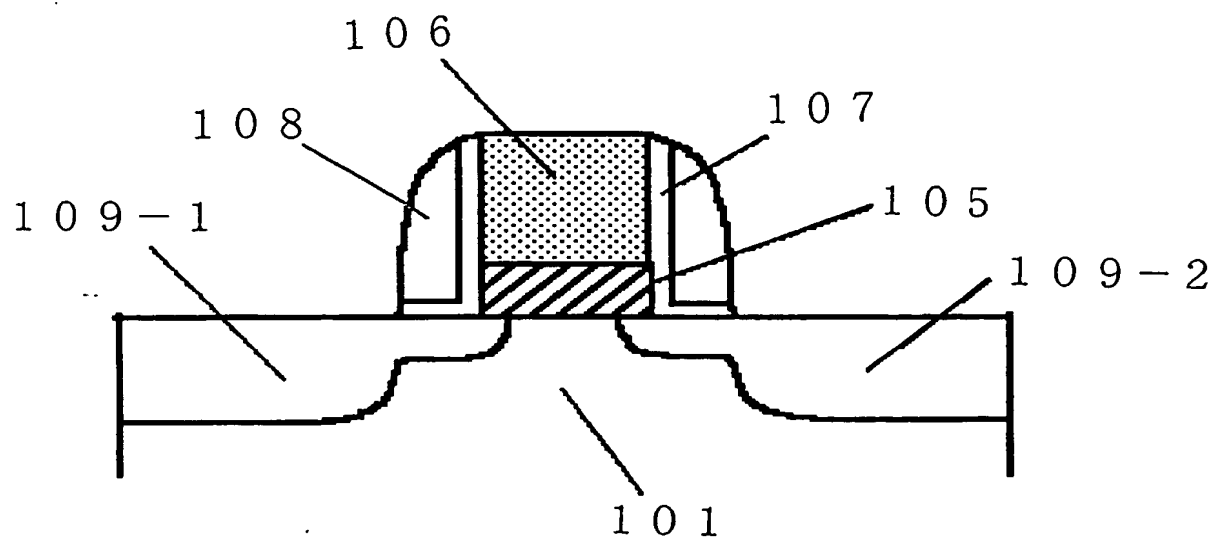


図 6 A

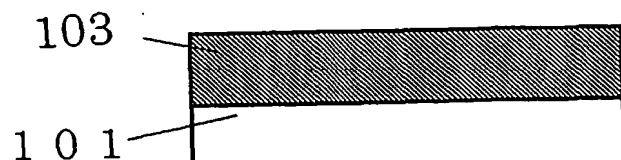


図 6 B

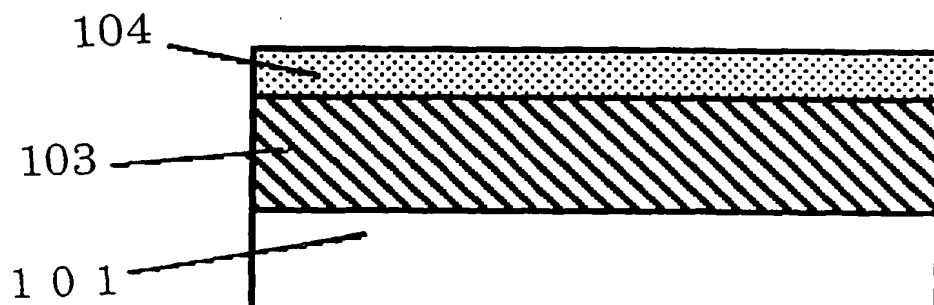


図 6 C

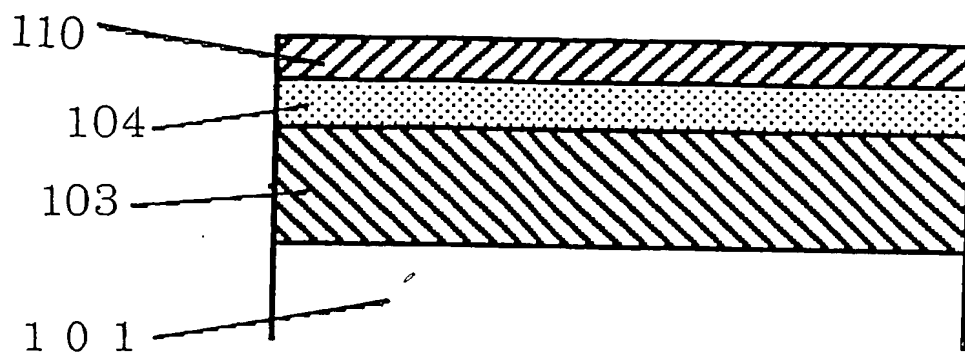


図 6 D

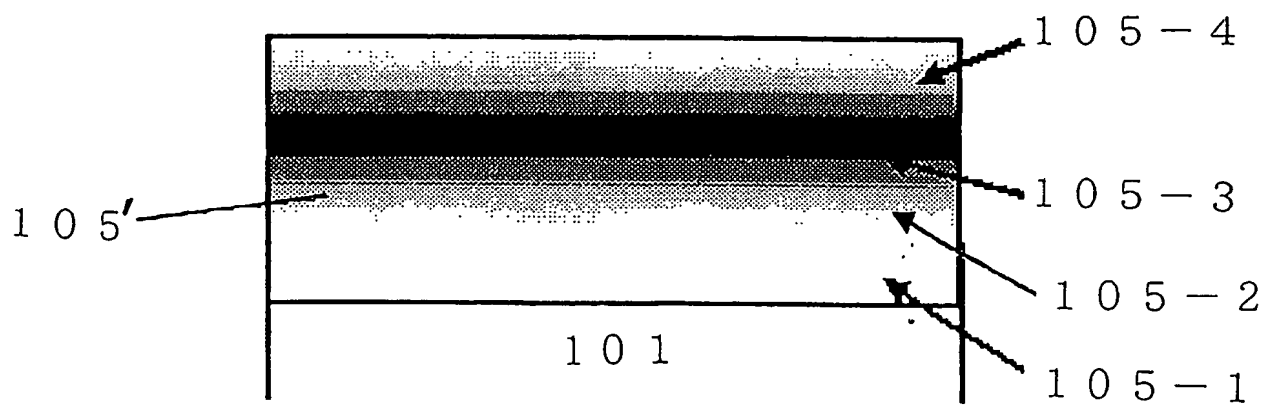


図 7

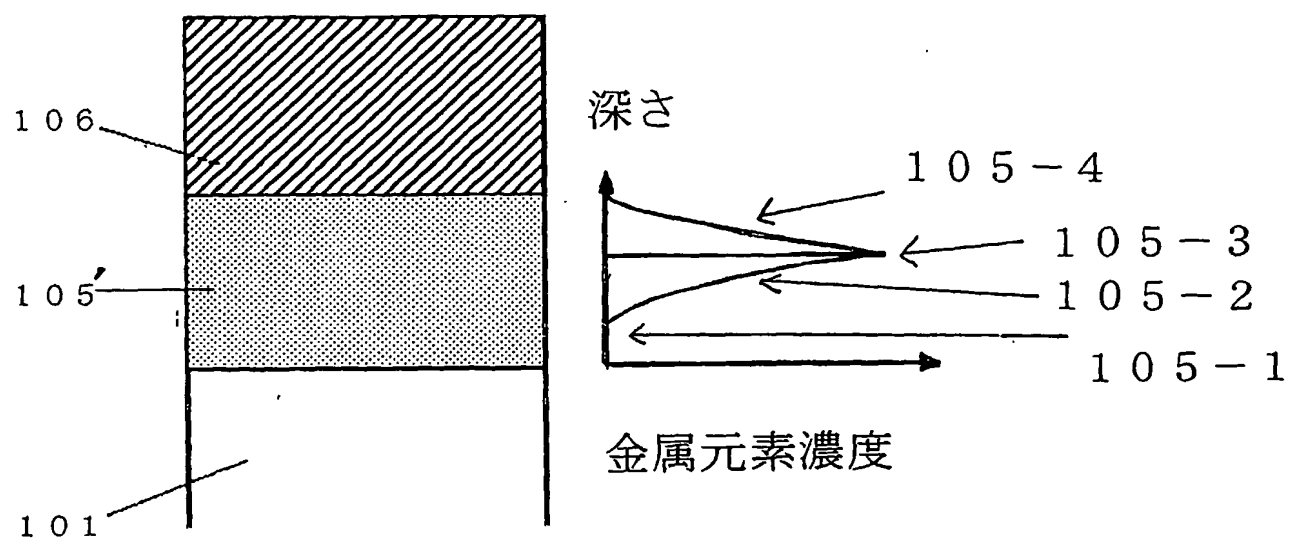


図 8 A

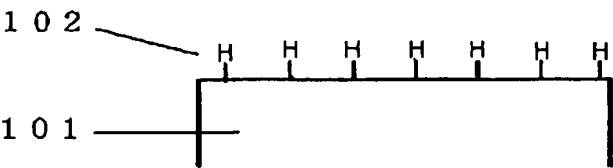


図 8 B



図 8 C

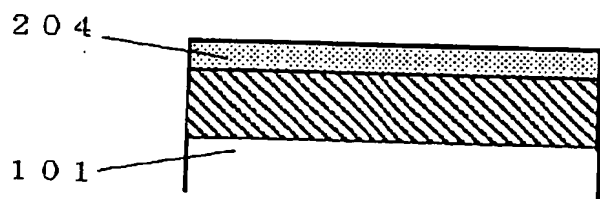


図 8 D

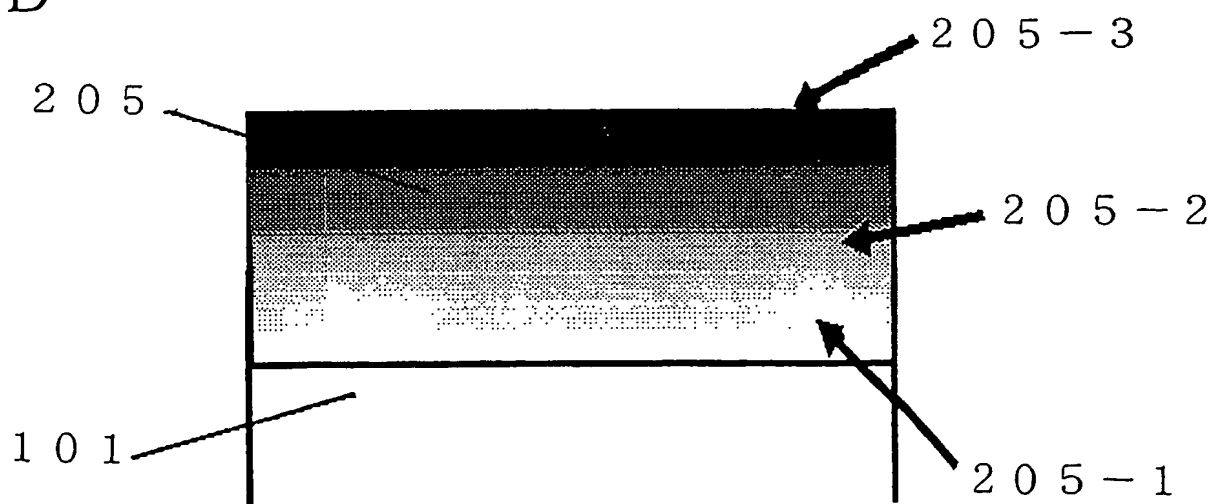


図 9

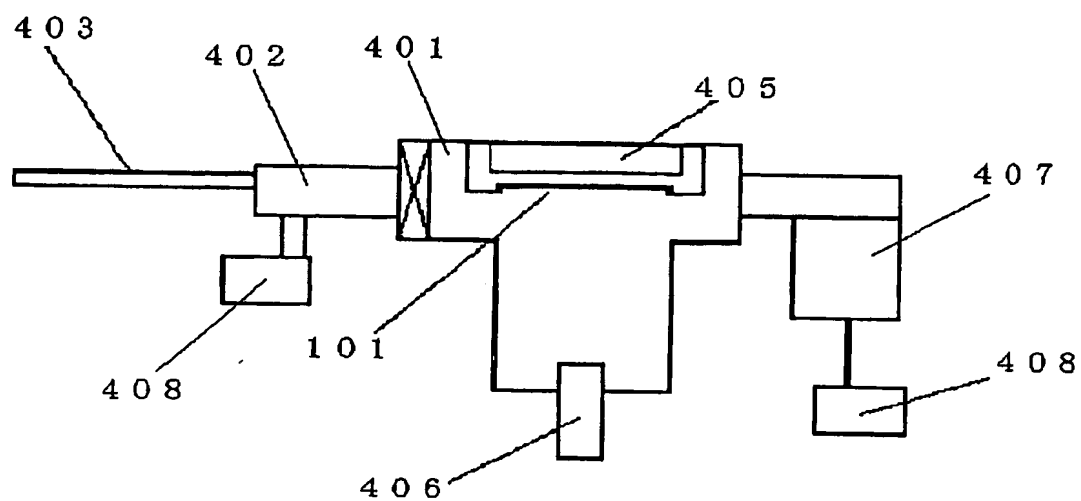


図 10

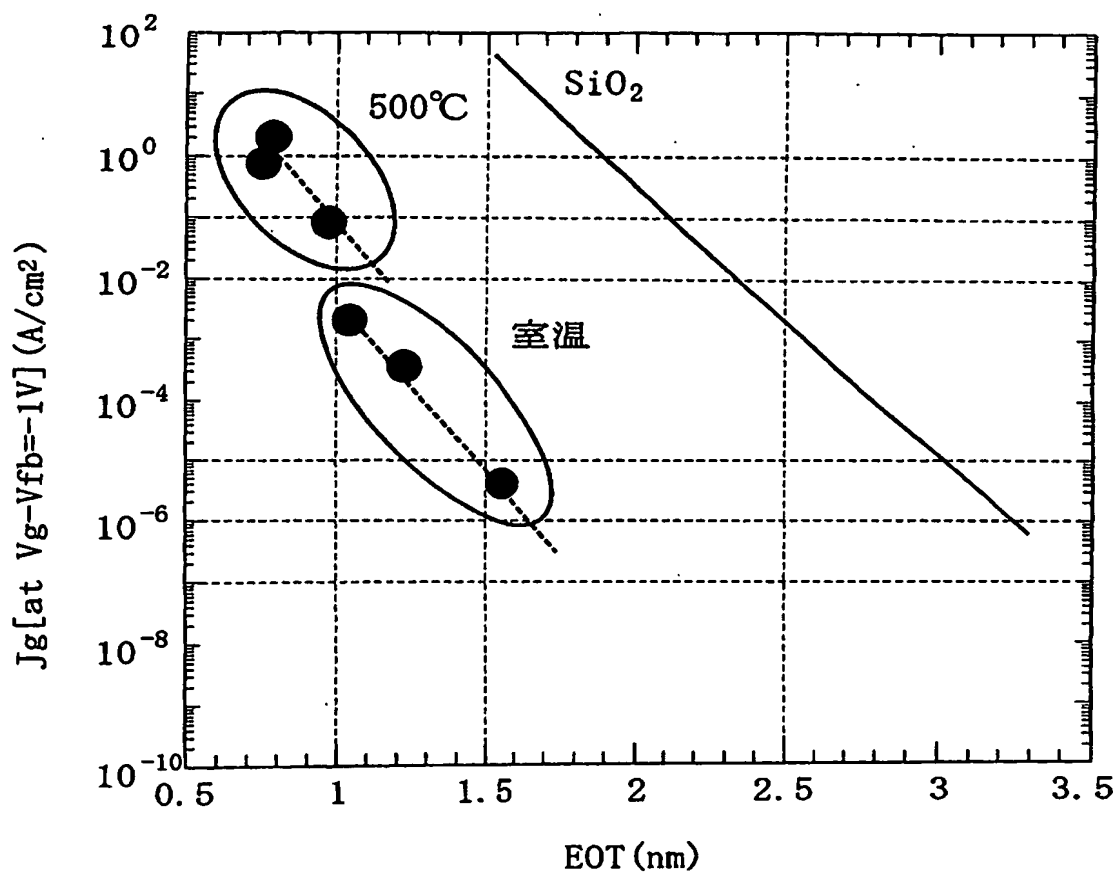


図 1 1 A

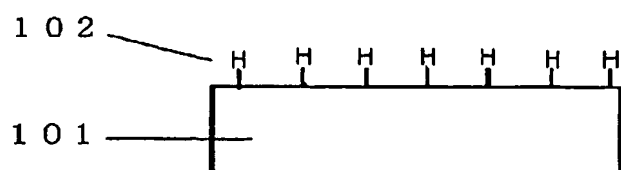


図 1 1 B

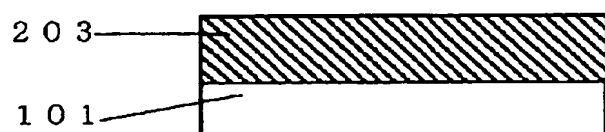


図 1 1 C

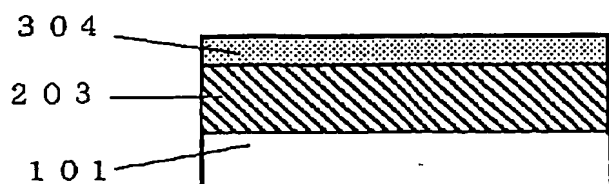


図 1 1 D

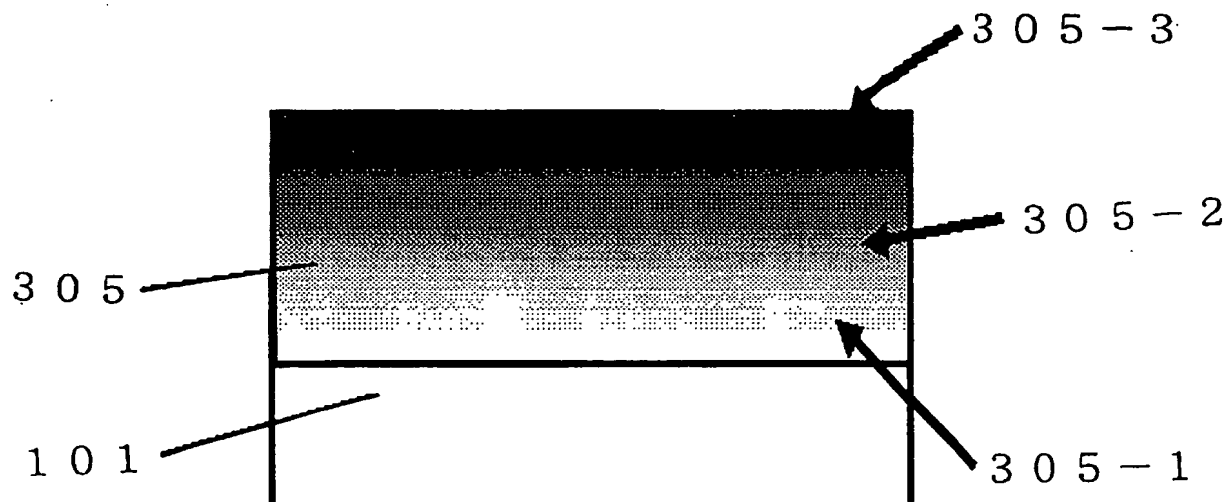
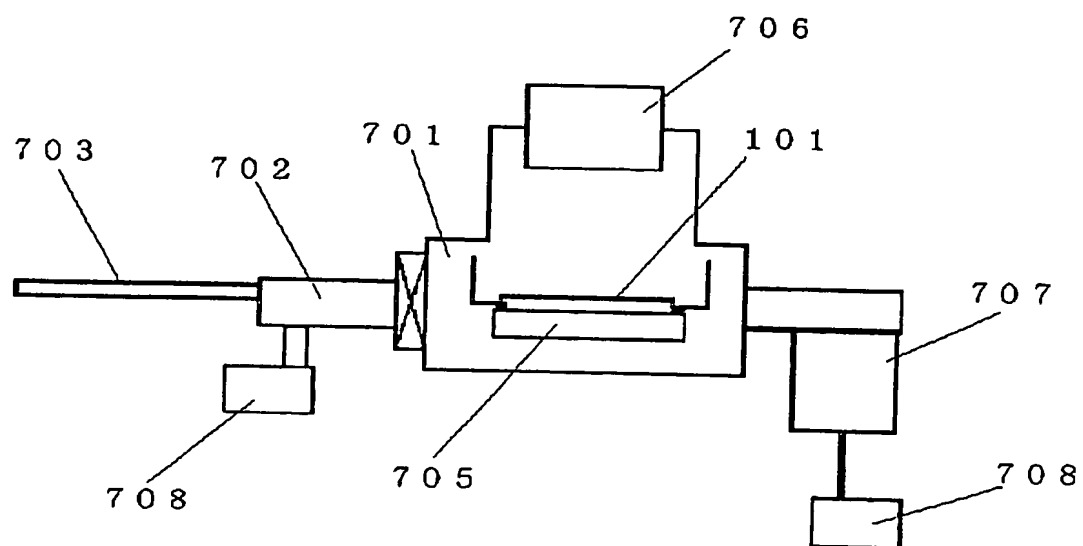


図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09052

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-332547 A (Toshiba Corp.), 30 November, 2001 (30.11.01), Par. Nos. [0011] to [0026], [0063] to [0070]; Figs. 3, 5, 9 (Family: none)	1-8, 10, 11, 13-18, 29, 30, 34-38, 41-44, 46-55, 65, 66, 68
Y		12, 19-21, 31-33, 39, 40, 45, 56-58, 67
Y	US 2001/0023120 A (Yoshitaka TSUNASHIMA), 20 September, 2001 (20.09.01), Par. Nos. [0134] to [0143]; Fig. 8 & JP 2001-257344 A Par. Nos. [0136] to [0143]; Fig. 14	19-21, 56-58

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Date of the actual completion of the international search
01 October, 2003 (01.10.03)

Date of mailing of the international search report
21 October, 2003 (21.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09052

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-118559 A (NEC Corp.), 29 May, 1987 (29.05.87), Full text (Family: none)	32, 33
Y	JP 58-93331 A (Tokyo Shibaura Electric Co., Ltd.), 03 June, 1983 (03.06.83), Full text (Family: none)	39, 40
X Y	JP 2002-184773 A (NEC Corp.), 28 June, 2002 (28.06.02), Full text; Fig. 3 (Family: none)	69-71 12, 31, 45, 67
E, X	JP 2003-158262 A (Toshiba Corp.), 30 May, 2003 (30.05.03), Full text (Family: none)	1-11, 16-18, 22-30, 34, 38, 41-44, 50-52, 55, 59-66, 68

A. 発明の属する分野の分類（国際特許分類（IPC）） Int. Cl ⁷ H01L29/78, H01L21/336, H01L21/316		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int. Cl ⁷ H01L29/78, H01L21/336, H01L21/316		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国実用新案登録公報 1996-2003年 日本国登録実用新案公報 1994-2003年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-332547 A (株式会社東芝) 2001. 11. 30, 段落番号【0011】-【0026】, 【0063】-【0070】, 図3, 図5, 図9 (ファミリーな し)	1-8, 10, 11, 13-18, 29, 30, 34-38, 41-44, 46-55, 65, 66, 68
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 01. 10. 03	国際調査報告の発送日 <div style="text-align: right; font-size: 1.2em; font-weight: bold;">21.10.03</div>	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 大嶋 洋一 印 電話番号 03-3581-1101 内線 3462	

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y		12, 19-21, 31-33, 39, 40, 45, 56-58, 67
Y	US 2001/0023120 A (Yoshitaka Tsunashima) 2001. 09. 20, 段落番号【0134】～【0143】, 図 8 & JP 2001-257344 A, 段落番号【013 6】～【0143】, 図14	19-21, 56-58
Y	JP 62-118559 A (日本電気株式会社) 1987. 05. 29, 全文 (ファミリーなし)	32, 33
Y	JP 58-93331 A (東京芝浦電気株式会社) 1983. 06. 03, 全文 (ファミリーなし)	39, 40
X	JP 2002-184773 A (日本電気株式会社) 2002. 06. 28, 全文, 図3 (ファミリーなし)	69-71
Y		12, 31, 45, 67
EX	JP 2003-158262 A (株式会社東芝) 2003. 05. 30, 全文 (ファミリーなし)	1-11, 16-18, 22-30, 34, 38, 41-44, 50-52, 55, 59-66, 68